

4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

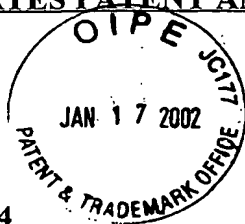
In re U.S. Patent Application of

KOBAYASHI et al.

Application Number: 10/000,034

Filed: December 4, 2001

**For: SEMICONDUCTOR DEVICE AND DATA
Processing System**



**Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231**

**NOTICE OF PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of December 4, 2000, the filing date of the corresponding Japanese patent application 2000-367874.

The certified copy of corresponding Japanese patent application 2000-367874 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

A handwritten signature in black ink, appearing to be "Stanley P. Fisher".

Stanley P. Fisher
Registration Number 24,344

JUAN CARLOS A. MARQUEZ
Registration No. 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200

January 17, 2002



本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 4日

出 願 番 号

Application Number:

特願2000-367874

出 願 人

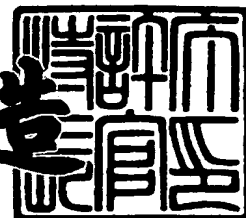
Applicant(s):

株式会社日立製作所
日立北海セミコンダクタ株式会社

2001年11月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3105765

【書類名】 特許願

【整理番号】 H00021661

【提出日】 平成12年12月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

 【住所又は居所】 北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

 【氏名】 小林 信治

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体グループ内

 【氏名】 川村 正信

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体グループ内

 【氏名】 石田 徹

【発明者】

 【住所又は居所】 北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

 【氏名】 粕井 政人

【発明者】

 【住所又は居所】 北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

 【氏名】 藤田 直喜

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233594

【氏名又は名称】 日立北海セミコンダクタ株式会社

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置と情報処理システム

【特許請求の範囲】

【請求項 1】 シリアルバスに適合した第 1 の入出力インターフェイス回路と、

上記シリアルバスとの間で上記第 1 の入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路と、

識別情報が格納される不揮発性記憶回路と、

上記不揮発性記憶回路に格納された内部識別情報と、上記シリアルバスを介して供給される入力信号に含まれる外部識別情報とを比較する比較回路と、

上記比較回路の一致検出信号により上記シリアルバスを介して引き続き供給される入力信号に応答し、かかる入力信号に対応した回路動作を行う制御回路とを備えてなることを特徴とする半導体装置。

【請求項 2】 請求項 1 において、

上記内部識別情報は、不揮発性記憶回路に格納された識別情報が所定の状態となることを条件に読み出されて所定の記憶回路に転送されたものであることを特徴とする半導体装置。

【請求項 3】 請求項 2 において、

電源電圧を受ける供給電圧検出回路を更に備え、

上記所定の状態は、上記電源電圧が第 1 レベルに上昇したことを上記供給電圧検出回路によって検出されることにより設定されるものであることを特徴とする半導体装置。

【請求項 4】 請求項 2 において、

上記所定の状態は、電源投入後に最初にシリアルバスを介して供給される所定の入力信号により設定されることを特徴とする半導体装置。

【請求項 5】 請求項 2 において、

リセット信号入力端子を有し、

上記所定の状態は、上記リセット信号入力端子に所定の信号が入力されることにより設定されることを特徴とする半導体装置。

【請求項6】 請求項1ないし5のいずれかにおいて、
上記制御回路による回路動作は、

上記入力信号に応答して上記不揮発性記憶回路に対する識別情報の書き換え動作と、上記入力信号に応答して上記内部回路に向けた動作とを含むことを特徴とする半導体装置。

【請求項7】 請求項1ないし6のいずれかにおいて、
上記シリアルバスに適合し、上記第1のインターフェイス回路に一端が接続された配線手段と、

上記配線手段の他端に接続された第2の入出力インターフェイス回路と、
上記第2の入出力インターフェイス回路を介して設けられる信号処理回路とを更に備え、

上記第2の入出力インターフェイス回路と信号処理回路とは第1半導体チップに搭載され、第2半導体チップに上記第1入出力インターフェイス回路、内部回路及び不揮発性記憶回路、比較回路及び制御回路が搭載され、

上記第1半導体チップと上記第2半導体チップは、一体的に封止されることを特徴とする半導体装置。

【請求項8】 請求項7において、
上記配線手段は、

第1半導体チップの第2の入出力インターフェイス回路に対応したボンディングパッドとリードとを接続する第1ボンディングワイヤと、

上記第2半導体チップの第1の入出力インターフェイス回路に対応したボンディングパッドと上記リードとを接続する第2ボンディングワイヤとにより構成されることを特徴とする半導体装置。

【請求項9】 請求項7又は8において、
上記第1半導体チップの信号処理回路は、プロセッサユニットと、かかるプロセッサユニットによる信号処理の手順が書き込まれたROMとを含み、

上記第2半導体チップの内部回路は、上記識別情報が格納される不揮発性記憶回路と異なるアドレス空間が割り得てられたメモリ回路を備えてなることを特徴とする半導体装置。

【請求項 1 0】 請求項 9 において、

上記メモリ回路は、上記識別情報が格納される不揮発性記憶回路と同じ構造のメモリセルを用いて構成されるものであることを特徴とする半導体装置。

【請求項 1 1】 請求項 1 ないし 9 のいずれかにおいて、

上記内部回路は、CMOS回路により構成されるものであり、

上記識別情報が格納される不揮発性記憶回路は、上記CMOS回路の製造プロセスにより形成される単層ゲート構造の不揮発性メモリセルからなることを特徴とする半導体装置。

【請求項 1 2】 請求項 1 ないし 1 1 のいずれかにおいて、

上記内部識別情報は、第 1 内部識別情報と第 2 内部識別情報を有し、

上記比較回路と制御回路とは、シリアルバスを介して供給される第 1 入力信号に含まれる第 3 外部識別情報と、上記不揮発性記憶回路に格納された上記第 1 内部識別情報とを比較し、上記第 1 内部識別情報と第 3 外部識別情報とが一致した場合、上記第 1 入力信号に含まれる第 4 外部識別情報と、上記不揮発性記憶回路に格納された第 2 内部識別情報を比較し、第 2 内部識別情報と第 4 外部識別情報が一致することを条件として、上記第 1 入力信号に続いてシリアルバスを介して供給される第 2 入力信号により上記第 1 内部識別情報を変更を行う動作が可能にされることを特徴とする半導体装置。

【請求項 1 3】 シリアルバスに適合した入出力インターフェイス回路と、

上記シリアルバスとの間で上記入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路と、

識別情報が格納される不揮発性記憶回路とを備え、

上記内部回路は、内部状態が第 1 状態になった場合に、上記シリアルバスを介して供給される入力信号により上記識別情報を変更する動作を含むことを特徴とする半導体装置。

【請求項 1 4】 請求項 1 3 において、

上記識別情報は、第 1 識別情報と第 2 識別情報を有し、

上記内部回路は、シリアルバスを介して供給される第 1 入力信号に含まれる第 3 識別情報と、上記不揮発性記憶回路に格納された第 1 識別情報とを比較し、上

記第 1 識別情報と第 3 識別情報とが一致した場合、上記第 1 入力信号に含まれる第 4 識別情報と、上記不揮発性記憶回路に格納された第 2 識別情報を比較し、第 2 識別情報と第 4 識別情報が一致することを条件として上記第 1 状態となり、上記第 1 入力信号に続いてシリアルバスを介して供給される第 2 入力信号により上記第 1 識別情報の変更を行う動作が可能にされることを特徴とする半導体装置。

【請求項 15】 請求項 1 ないし 14 のいずれかにおいて、
上記シリアルバスは、IICバスであることを特徴とする半導体装置。

【請求項 16】 シリアルバスに適合した入出力インターフェイス回路と、
上記シリアルバスとの間で上記第 1 の入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路と、

識別情報が格納される不揮発性記憶回路とをそれぞれ備えた複数の半導体装置を含み、

上記各半導体装置の内部回路は、内部状態が第 1 状態になった場合に、上記シリアルバスを介して供給される入力信号により上記識別情報を変更する動作を行うことを特徴とする情報処理システム。

【請求項 17】 請求項 16 において、

上記各半導体装置の識別情報は、第 1 識別情報と第 2 識別情報からなり、

上記各半導体装置の内部回路は、シリアルバスを介して供給される第 1 入力信号に含まれる第 3 識別情報と、上記不揮発性記憶回路に格納された第 1 識別情報とを比較し、上記第 1 識別情報と第 3 識別情報とが一致した場合、上記第 1 入力信号に含まれる第 4 識別情報と、上記不揮発性記憶回路に格納された第 2 識別情報を比較し、第 2 識別情報と第 4 識別情報が一致することを条件として上記第 1 状態となり、上記第 1 入力信号に続いてシリアルバスを介して供給される第 2 入力信号により上記第 1 識別情報の変更を行う動作が可能にされて、個々の半導体装置の識別情報が互いに異なる情報に設定されてなることを特徴とする情報処理システム。

【請求項 18】 請求項 16 又は 17 において、

上記シリアルバスは、IICバスであることを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置と情報処理システムに関し、例えば2つの半導体チップを積層して1つの樹脂封止体で封止する半導体装置とそれを用いた情報処理システムにおける識別情報の設定技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】

半導体装置として、MCP (MultiChip Package) 型と呼称される半導体装置が知られている。このMCP型半導体装置においては、種々な構造のものが開発され、製品化されているが、2つの半導体チップを積層して1つのパッケージに組み込んだMCP型半導体装置が最も普及している。例えば特開平2-5455号公報(公知文献1)には、プログラムによって動作するプロセッサユニットが内蔵されたマイコン用チップ上に、メモリ用チップとして不揮発性記憶ユニットが内蔵されたEEPROM (Electrically Erasable Programmable Read Only Memory) 用チップを積層し、この2つのチップを1つの樹脂封止体で封止したMCP型半導体装置が開示されている。

【0003】

特開平5-343609号公報には、MOSFET (MetalOxideSemiconductor FieldEffect Transistor) を主体とする回路が内蔵されたCMOS (Complementary MOS) 用チップ上に、バイポーラトランジスタを主体とする回路が内蔵されたバイポーラ用チップを積層し、この2つのチップを1つの樹脂封止体で封止したMCP型半導体装置が開示されている。

【0004】

【発明が解決しようとする課題】

1つのパッケージにマイコン用チップ及びEEPROM用チップを組み込んだ半導体装置の要求が高まっており、本発明者等は、マイコン用チップ上にEEPROM用チップを積層し、この2つのチップを1つの樹脂封止体で封止する半導体装置の開発に先立ち以下の問題点を見出した。

【0005】

マイクロコンピュータシステムでは、メモリ回路等の周辺回路には個々にデバイス識別情報（デバイスアドレス）が設定される。このデバイスアドレスの設定は、例えば外部端子（アドレスピン）を実装基板上で電源電圧VCC又は回路の接地電位VSSに接続してハイレベルとロウレベルの2値信号を設定するのが最も簡便な方法である。しかしながら、上記MCP型半導体装置では、1つの樹脂封止体で封止された時点で、上記アドレスピンをVCC又はVSSに接続することになるので識別情報が固定化されてしまう。このように識別情報が固定化されてしまうと、様々な情報処理システムに適合可能なように同じ機能を持つ半導体装置に対して複数通りの識別情報が設定された複数種類の半導体装置を製造したり、そのデバイスアドレス毎での在庫管理をしたり、組み立て時には正しいデバイスアドレスのものを実装すること等製造や取り扱いが煩雑になる。

【0006】

本発明の目的は、使い勝手のよい半導体装置と情報処理システムを提供することにある。本発明の他の目的は、信頼性を確保しつつ柔軟なデバイスアドレスの設定が可能にされた半導体装置と情報処理システムを提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路を持つ半導体装置に、識別情報を格納させる不揮発性記憶回路を設け、かかる不揮発性記憶回路に格納された内部識別情報と、上記シリアルバスを介して供給される入力信号に含まれる外部識別情報とを比較回路により比較し、その一致検出信号により上記シリアルバスを介して引き続き供給される入力信号に応答する回路動作を行う制御回路により上記不揮発性記憶回路の内部情報の変更も含ませる。

【0008】

本願において開示される発明のうち、他の代表的なものの概要を簡単に説明す

れば、下記の通りである。シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路を持つ半導体装置に、識別情報を格納させる不揮発性記憶回路を設け、内部回路の内部状態が第1状態になった場合に、上記シリアルバスを介して供給される入力信号により上記識別情報を変更する動作を含ませる。

【0009】

本願において開示される発明のうち、更に他の代表的なものの概要を簡単に説明すれば、下記の通りである。シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路と識別情報が格納される不揮発性記憶回路とをそれぞれ備えた複数の半導体装置により情報システムを構成し、各半導体装置において、内部回路の内部状態が第1状態になった場合に上記シリアルバスを介して供給される入力信号により上記個々の識別情報の変更を可能にする。

【0010】

【発明の実施の形態】

図1には、この発明に係る半導体装置の一実施例の概略ブロック図が示されている。この実施例の半導体装置 (Device) は、共通バスを持つシステムに実装される。言い換えるならば、共通バスに適合した入出力インターフェイス回路を持つようにされる。この実施例では、半導体装置のデバイスアドレスを内蔵された不揮発性メモリに格納させる構成を採ることにより、半導体装置のデバイスアドレスはソフトウェアにより設定可能とされる。上記共通バスは、特に制限されないが、IICバス等のようなシリアルバスとされる。ここで、IIC (I^2C) は Philips 社の商標である。

【0011】

上記不揮発性メモリに格納されたデバイスアドレスは、レジスタに転送される。デバイスアドレス比較回路は、上記レジスタに保持されたデバイスアドレスと、上記共通バスを通して入力されたデバイスアドレスとを比較し、一致した場合にデバイス動作開始の制御信号を形成する。

【0012】

上記不揮発性メモリは、特に制限されないが、電氣的に書き込みと消去が可能な不揮発性メモリとされ、その書き換えが可能にされる。この書き換え動作により半導体装置がシステムを構成する実装基板に搭載された状態でのデバイスアドレスの再設定が可能にされる。

【 0 0 1 3 】

図 2 には、この発明に係る半導体装置を用いた情報処理システムの一実施例の概略ブロック図が示されている。この実施例では、例示的に示されているように 2 つの半導体装置 (Device A、Device B) と (Device M、Device N) がそれぞれに搭載された少なくとも 2 つの基板 C を用いて情報処理システムが構成される。このように 1 つの情報処理システムに複数の半導体装置 (Device A ないし Device N) が搭載された場合、個々の半導体装置 (Device) には互いに異なるデバイスアドレスを割り当てる必要があるとされる。

【 0 0 1 4 】

この実施例では、前記図 1 の実施例のように不揮発性メモリを内蔵しており、後述するような手法によって個々の半導体装置に対してシステムに搭載した状態でのデバイスアドレスをソフトウェアでの設定を行うようにするものである。このため、個々の半導体装置は、デバイスアドレスに向けた外部端子数を削減することができることに加えて、半導体装置の製造時や在庫管理及び出荷あるいは組み立て時には、それをシステムに搭載した状態に対応したデバイスアドレスについて一切考慮する必要がなく、製造及び在庫管理やシステム組み立てが簡便になるものである。

【 0 0 1 5 】

上記のようにデバイスアドレスをソフトウェアにより設定できるという構成では、情報処理システムを構成する基板も、基板 C のように標準化することができる。つまり、半導体装置にデバイスアドレス設定ピンを設けて、それを実装基板の電源電圧 VCC 線又は回路の接地線 VSS に接続する場合に比べて、デバイスアドレスに対応した配線パターンを持つ複数の実装基板を形成することがなく、標準化された実装基板 C にはかかる配線パターンがないので基板スペースの有効利用あるいは小型化を可能とするものである。

【0016】

図3には、この発明に係る半導体装置に用いられるIICバスインターフェイスの一実施例の構成図が示されている。この実施例では、特に制限されないが、IICバスインターフェイスEEPROM（エレクトリカリ・イレーザブル&プログラマブル・リード・オンリー・メモリ、以下、シリアルEEPROMという）に向けられている。

【0017】

IICバスインターフェイスでは、開始条件に続く通信の1バイト目でデバイスコードとして4ビット、デバイスアドレスとして3ビット及びリード/ライトを指示するR/Wとして1ビットが割り当てられる。上記デバイスコードは、個々の半導体装置（デバイス）の種類により固定され、この実施例のようにEEPROMの場合には1010のような4ビットが割り当てられている。A/D変換器、LEDドライバ等のような他のデバイスには、上記とは異なるデバイスコードがそれぞれに割り当てられている。

【0018】

上記IICバスインターフェイスを通して供給された入力信号のうち、上記デバイスコードに対応した4ビットは、デバイスコード比較回路に入力され、上記割り当てられた固定のデバイスコードと比較される。この固定のデバイスコードは、半導体装置（Device）の製造時に配線等により固定的に設定されている。デバイスコード比較回路は、上記固定設定されたデバイスコードと上記入力されたデバイスコードとを比較し、一致したならデバイスコード一致信号を形成する。

【0019】

上記IICバスインターフェイスを通して供給された入力信号のうち、上記デバイスアドレスに対応した3ビットは、デバイスアドレス比較回路に入力され、前記不揮発性メモリに設定されたデバイスアドレスと比較される。この不揮発性メモリのデバイスアドレスは、後述するように書き込み動作、あるいは書き換え動作によって任意のアドレスに設定されている。デバイスアドレス比較回路は、上記不揮発性メモリに設定されたデバイスアドレスと上記入力されたデバイスアドレスとを比較し、一致したならデバイスアドレス一致信号を形成する。

【 0 0 2 0 】

この実施例の I I C バスインターフェイス適合の半導体装置 (I I C I / F Device) では、上記デバイスコード一致信号とデバイスアドレス一致信号が形成されたとき、信号 R / W に対応してリード又はライト動作を開始する。このリード又はライト動作は後に説明するが、その概略は次の通りである。上記デバイスコード及びデバイスアドレスと R / W を含む入力信号に引き続き入力される入力信号に含まれるアドレス信号により内部アドレスが指定され、ライト動作なら引き続き入力される入力信号に含まれる書き込みデータが取り込まれて書き込み動作が実施され、読み出し動作なら I I C バスに読み出しデータを出力させる。

【 0 0 2 1 】

図 4 には、この発明に係るシリアル E E P R O M の動作の一例を説明するための構成図が示されている。この実施例のシリアル E E P R O M ではデバイスアドレスが内蔵のデバイスアドレスメモリ (不揮発性メモリ) に設定されている。パワーオンリセット回路は、電源電圧 V C C が所定のレベルに到達するとパワーオンリセット信号を発生させる。このパワーオンリセット信号は、ロード制御論理回路に伝えられる。ロード制御論理回路は、上記パワーオンリセット信号が入力されると、デバイスアドレスメモリに対してデバイスアドレスロード信号を供給する。

【 0 0 2 2 】

デバイスアドレスメモリは、上記デバイスアドレスロード信号が供給されると、格納されたデバイスアドレスを読み出して、デバイスアドレスレジスタに転送する。これにより、デバイスアドレスレジスタには、上記デバイスアドレスメモリに格納されたデバイスアドレスを保持することとなる。

【 0 0 2 3 】

したがって、 I I C バスを介してシリアル E E P R O M に前記図 3 のような入力信号が供給されたとき、デバイスアドレス比較回路は、その都度デバイスアドレスメモリをアクセスしてそれに格納されたデバイスアドレスを取り出すのではなく、上記パワーオンリセット信号によりデバイスアドレスレジスタにロードさ

れたデバイスアドレスと入力されたデバイスアドレスとを比較するものである。デバイスアドレス比較回路で形成されたデバイスアドレス一致信号は、Read/Write(リド/ライト) 制御回路に伝えられ、Read/Write動作開始信号が形成される。

【0024】

なお、EEPROMは、同図では省略されているが、上記Read/Write(リド/ライト) 制御回路等を含む制御回路で制御されるアドレス入力回路、アドレス選択回路及びメモリアレイ等を含むものである。

【0025】

図5には、この発明に係るシリアルEEPROMのアドレス設定動作の一例を説明するための構成図が示されている。シリアルEEPROMのメモリマップは、H' 0000からH' FFFFまでが割り当てられており、そのうちH' 0000からH' 01FFまでがEEPROMのメモリ領域とされ、データないしプログラム格納領域とされる。残りのアドレス空間H' 0200からH' FFFFのうち、一部にデバイスアドレスメモリとキーレジスタのアドレスが割り当てられ、残りはリザーブとされる。

【0026】

このようなメモリマップのアドレス空間を前提とし、デバイスアドレス書き換えフロー(手順)は、次の通りとされる。(1)では、キーレジスタアクセスを行う。つまり、前記IICバスを通して前記図3のような入力信号を供給する。デバイスコードとデバイスアドレス及びライト動作を指示する。この前提として、シリアルEEPROMの前記不揮発性メモリで構成されたデバイスアドレスメモリには仮のデバイスアドレスが書き込まれている。この仮のデバイスアドレスは、シリアルEEPROMのプロブ試験や組み立て後のバーイン試験等での書き込みや読み出しのメモリアクセスにも用いられる。すなわち、この実施例のシリアルEEPROMにアクセスするにはデバイスコードとデバイスアドレスの入力を必須とするので、上記動作試験等のためにも仮のデバイスアドレスを格納させておく必要がある。

【0027】

上記仮のデバイスアドレスを用いて上記キーレジスタが割り当てられたアドレ

ス信号を入力し、(2)では予め決められたキーコードを入力(W r i t e)する。内部制御回路では上記キーレジスタに入力されたキーコードと予め設定されているキーコードとを比較し、一致したならデバイスアドレスメモリへのアクセスを許可する信号を形成する。(3)では、デバイスアドレスメモリが割り当てられたアドレス信号を入力し、(4)では上記仮のデバイスアドレスとは異なるデバイスアドレスを入力してその書き換えを行う。

【0028】

このようなデバイスアドレスの書き換え手順を採用することにより、シリアルEEPROMへの通常のライト動作のときに誤ってデバイスアドレスメモリに対応したアドレスを指定した結果、デバイスアドレスメモリにデータやプログラムの一部が書き込まれて、保存すべきデバイスアドレスが誤って書き換えられてしまうことを防止できる。すなわち、キーアドレスレジスタへのアクセスと、キーコードとが一致し、その上でデバイスアドレスメモリのアドレスと書き換えられるデータを入力するので、シリアルEEPROMの通常のライト動作でアドレス指定を誤っただけではデバイスアドレスメモリへのアクセスが許可されないからである。これにより、高い信頼性を確保しつつデバイスアドレスの任意の設定あるいは書き換えが可能にされる。

【0029】

図6には、この発明に係る情報処理システムの一実施例の構成図が示されている。この実施例の情報処理システムは、IICバスを持つ1つの基板上に2つの半導体装置が搭載されて構成される。半導体装置のそれぞれはIICインターフェイス内蔵のマイコン(1チップのマイクロコンピュータ)と、シリアルEEPROMであり、デバイスアドレスは仮アドレスnに設定される。

【0030】

上記の2つの半導体装置を上記基板に実装したとき、上記シリアルEEPROMは、内蔵のデバイスアドレスメモリにデバイスアドレスnが設定されており、基板上でのアドレス設定が不要とされる。それ故、基板は、それに搭載される半導体装置毎に対応したデバイスアドレス設定用の配線等が不用となり、この発明が適用された半導体装置を搭載することを条件に標準化(共通化)を図ることが

できる。さらに、配線等を削減することができた基板上の領域を他の電子部品の実装に割り当てたり、あるいは基板を小さく形成することができる。この実施例のようにマイコンとシリアルEEPROMの2つだけで情報処理システムが構成されるなら、上記シリアルEEPROMに設定された仮のデバイスアドレス n をそのまま利用することができる。

【0031】

図7には、この発明に係る情報処理システムの他の一実施例の構成図が示されている。この実施例の情報処理システムは、前記図6の実施例で示したIICバスを持つ2つの基板を組み合わせて1つの情報処理システムを構成する。つまり、それぞれにマイコンとシリアルEEPROMが搭載された2つの基板のIICバスを接続して、マルチCPU構成の情報処理システムが構成される。このような情報処理システムにおいては、一方の基板に搭載されたシリアルEEPROMのデバイスアドレスは n のままとし、他方の基板に搭載されたシリアルEEPROMのデバイスアドレスを仮アドレス n から m に書き換えるようにするものである。このようなシリアルEEPROMのデバイスアドレスの変更がオンボードで可能であるために、システムの拡張時にも適用できる。

【0032】

図8には、IICバスインターフェイスでの通信プロトコルを説明するためのタイミング図が示されている。同図には、ライト動作とリード動作とが示されており、これらの構成図はマスタ側（例えばマイコン側）から見た動作を説明するものである。

【0033】

IICバスインターフェイスでは、シリアルクロック（SCL）とシリアル入出力（SDA）の2つの信号線で構成される。シリアルクロック（SCL）は、シリアルデータ入出力のタイミングを設定するためのクロックであり、クロックの立ち上がりでデータの取り込み、立ち下がりでデータを出力する。図8には、かかるシリアルクロック（SCL）は省略されている。

【0034】

デバイスでのシリアル入出力端子は、出力回路がオープンドレインで構成され

るために、かかる入出力端子にはプルアップ抵抗が接続される。なお、特に制限されないが、シリアルEEPROMには、ライトプロテクト端子が設けられ、かかるライトプロテクト端子をハイレベルにすると、全メモリアレイの書き換えが禁止される。それ故、メモリアレイへの書き換えを行う場合には、上記ライトプロテクト端子をロウレベルにする。このライトプロテクト端子は、前記シリアルバスとは接続されず、専用の信号線と接続される。読み出し動作は、前記ライトプロテクト端子のレベルに関係なく全メモリアレイについて可能である。

【0035】

通信プロトコル（ライト動作）は、次の通りである。開始条件（スタート・コンディション）STARTは、シリアルクロック（SCL）がハイレベルのときにシリアルデータ（SDA）をハイレベルからロウレベルに変化させることにより設定される。STARTの後に、シリアルクロック（SCL）に同期して、8ビットからなるデバイスアドレスワードを送出する。デバイスアドレスワードは、4ビットのデバイスコードと、3ビットのデバイスアドレスと1ビットのR/W信号から構成される。ライト動作のときには、 $R/W=0$ とされる。

【0036】

IICバスインターフェイスでは、このデバイスアドレスワードの他、アドレス情報やリードやライトデータは8ビット単位で送受信される。アクノレッジ信号ACK（Acknowledge）は、この8ビットのデータが正常に受信されたことを示す信号で、シリアルクロック（SCL）の9クロック目に受信側が論理0（ロウレベル）を出力する。つまり、マスタ側からデバイスアドレスワードの8ビットを送信すると、スレーブ側であるシリアルEEPROMから9クロック目でACK=0を転送してくるのでマスタ側ではそれを受信する。

【0037】

上記ACKを受信すると、マスタ側からはメモリアドレス上位（a15～a8）の8ビットを送信してそれに対応したACKを受信すると、続いてメモリアドレス下位（a7～a0）の8ビットを送信する。このメモリアドレス下位（a7～a0）に対応したACK信号を受信すると、続いてライトデータ（D7～D0）を送信する。このライトデータ（D7～D0）に対応したACK信号を受信す

ると停止条件（ストップ・コンディション）STOPの送信を行う。スレーブ側であるシリアルEEPROMでは、当該アドレスのイレーズ（消去）の後に上記ライトデータの書き込みを行う。上記ストップ・コンディションSTOPは、シリアルクロック（SCL）がハイレベルのときにシリアルデータ（SDA）をロウレベルからハイレベルに変化させることにより設定される。

【0038】

上記シリアルEEPROMに対するライト動作は、そのまま前記図5の（1）キーレジスタアクセスと（2）キーコードライトを行うことができる。つまり、デバイスアドレスワードで指定されるデバイスアドレスは、前記仮アドレス（書き換え前アドレス）を指定し、メモリアドレスでは上記メモリ領域ではなくキーレジスタのアドレス（ 8×2 ）を入力する。そして、ライトデータはキーコードを入力すればよい。引き続いてデバイスアドレスメモリのアドレス（ 8×2 ）を入力し、ライトデータは書き換えるべきデバイスアドレスを入力する。この後にシリアルEEPROMからACK信号を受信して停止条件（ストップ・コンディション）STOP送信を行う。シリアルEEPROMでは、当該デバイスアドレスメモリのイレーズ（消去）の後に上記新しいデバイスアドレスの書き込み動作を行う。

【0039】

このままでは、デバイスアドレスメモリには新しいデバイスアドレスが書き込まれるが、デバイスアドレスレジスタには、以前のデバイスアドレスが格納されたままであるので、いったんシリアルEEPROMの電源を遮断し、再度電源投入を行うか、後述するような特別な信号入力により上記デバイスアドレスメモリに書き込まれた新しいデバイスアドレスを上記デバイスアドレスレジスタにロードさせるようにする。

【0040】

通信プロトコル（リード動作）は、次の通りである。前記同様な開始条件であるスタート・コンディション（START）を入力し、シリアルクロック（SCL）に同期して、8ビットからなるデバイスアドレスワードを送出する。デバイスアドレスワードは、4ビットのデバイスコードと、3ビットのデバイスアドレ

スと1ビットのR/W信号から構成される。このときR/W=0（ロウレベル）とされる。このデバイスアドレスワードに対応したACKを受信すると、マスタ側からはメモリアドレス上位（a15～a8）の8ビットを送信してそれに対応したACKを受信すると、続いてメモリアドレス下位（a7～a0）の8ビットを送信する。ここまでの動作は、上記リード動作であるにもかかわらずにダミーのライト動作が実施される。つまり、ダミーのライト動作は、リード動作のためのアドレス入力に利用される。

【0041】

シリアルEEPROMでは、内部にアドレスカウンタを有しており、前回のリード動作又はライト動作での最後にアクセスしたアドレス（N）を1番地インクリメントした（N+1）番地を保持している。したがって、そのアドレス（N+1）を用いてリード動作を行うことができる。それ故、リード動作のときにアドレス信号をその都度入力する必要がない。前回のアクセスとは関係なく新しいアドレスを設定する場合に、前記のダミーのライト動作が用いられる。

【0042】

再度スタート・コンディション（START）を入力し、デバイスアドレスワードを入力する。つまり、前記同様のデバイスコードとデバイスアドレスを入力し、R/Wを論理1に設定すると、ACKの後にリードデータD7～D0がシリアルEEPROMから出力される。つまり、前記ダミーのライト動作で指定したアドレス（N+1）のリードデータが出力される。このデータ出力後にACK=1（ACKの入力をせずにバスを開放してもよい）ストップ・コンディションSTOPの順で入力するとシリアルEEPROMのリードが終了する。

【0043】

データを連続してリードするモードにするなら、マスタ側からACKを論理0とすると、シリアルEEPROMからは前記アドレスに1番地インクリメントされたアドレス（N+2）からのデータを送出する。シリアルEEPROMのアドレスが最終アドレスになった場合には、0番地にロールオーバーし引き続き連続データの読み出しも可能になるものである。このような連続データのリード動作を終了させるには、前記同様にACK=1（ACKの入力をせずにバスを開放し

てもよい) ストップ・コンディションSTOPの順で入力するとシリアルEEPROMのリードが終了する。

【0044】

図9には、この発明に係るシリアルEEPROMの一実施例の概略ブロック図が示されている。デバイスアドレスメモリc. は、前記のような不揮発性メモリから構成され、そこには製造時に仮のデバイスアドレスとして000が格納されている。シリアルEEPROMに電源投入を行うと、パワーオンリセット回路a. が電源電圧VCCを監視しており、電源電圧VCCが一定レベルに到達するとパワーオンリセット信号k. を発生する。

【0045】

制御論理回路b. は、上記パワーオンリセット信号k. に応答してロード制御信号m. を発生させる。このロード制御信号m. は上記デバイスアドレスメモリc. に入力されて読み出し動作が指示される。デバイスアドレスメモリc. から読み出されたデバイスアドレスn. (000)は、デバイスアドレスレジスタd. に転送される。これにより、デバイスアドレスレジスタd. は、デバイスアドレスn. を保持し、保持したデバイスアドレスp. をデバイスアドレス比較回路e. に伝える。このような動作によって、デバイスアドレスメモリc. に格納されたデバイスアドレスnに対応したデバイスアドレスの設定が行われる。この状態で、前記図8に示したようなシリアルEEPROMに対するアクセスが可能にされる。

【0046】

上記仮のデバイスアドレスを任意のアドレスに書き換える動作は、次のようにして行われる。IICバスのクロック信号SCLに同期してシリアルデータバスSDAにより前記図8に示したように開始条件とデバイスアドレスワードメモリアドレス上位-メモリアドレス下位-ライトデータに対応したシリアルデータx. 1を入力する。デバイスアドレス比較回路e. は、上記デバイスアドレスワードに含まれるデバイスアドレス(000)とデバイスアドレスレジスタd. に保持されているデバイスアドレスp. (000)とを比較し、デバイスアドレス一致信号q. を制御論理回路b. に伝える。なお、シリアルEEPROMに割り

当てられたデバイスコードも比較され、それも一致していることが条件である。

【0047】

制御論理回路 b. は、デバイスアドレス一致信号 q. (デバイスコードも一致) を受けて、上記メモリアドレス上位 (H' FF) と下位 (H' 10) からキーレジスタ f. を選択してライト動作を指示するライト制御信号 r. を形成し、内部データバスにはライトデータに含まれるキーコードを出力する。これにより、キーレジスタ f. には、上記 IICバスを介して入力されたキーコードが書き込まれる。

【0048】

上記キーレジスタ f. に書き込まれたキーコード s. は、キーコード監視回路 g. に伝えられる。キーコード監視回路 g. は、予め設定されたキーコードと上記キーレジスタ f. に書き込まれたキーコード s. とを比較し、一致したならデバイスアドレスメモリアクセス許可信号 t. を発生させて制御論理回路 b. に伝える。

【0049】

IICバスからはクロック信号 SCL に同期してシリアルデータバス SDA により前記図 8 に示したように開始条件とデバイスアドレスワードメモリアドレス上位メモリアドレス下位ライトデータに対応したシリアルデータ x. 2 を入力する。

【0050】

制御論理回路 b. は、デバイスアドレス一致信号 q. (デバイスコードも一致) を受けて、上記メモリアドレス上位 (H' FF) と下位 (H' 09) からデバイスアドレスメモリ c. を選択してライト動作を指示するライト制御信号 u. を形成し、内部データバスにはライトデータに含まれる新しいデバイスアドレス (101) を出力する。これにより、デバイスアドレスメモリ c. には、上記 IICバスを介して入力されたデバイスアドレスが書き込まれる。

【0051】

なお、上記のような書き込みに先立って、仮のデバイスアドレス 000 の消去が行われる。もっとも、不揮発性メモリの仮アドレス 000 に重ね書き込みによ

り上記101のデバイスアドレスが設定されるなら上記消去動作は省略できる。つまり、デバイスアドレスを1回だけ書き換えを許可するなら上記消去動作を不要にできるが、何回でも書き換えを可能にするなら、上記書き込みの前に消去動作が実施される。

【0052】

上記の状態では、デバイスアドレスメモリc.には上記101の新しいデバイスアドレスが格納されているが、上記デバイスアドレスレジスタd.は前記ロードされたデバイスアドレス000を保持したままである。したがって、このままでは上記書き換えられたデバイスアドレスを入力しても、当該シリアルEEPROMのアクセスを行うことはできない。そこで、いったん電源を遮断した後に電源再投入して、上記書き換えられたデバイスアドレス101をデバイスアドレスレジスタd.にロードさせる。

【0053】

この後にシリアルEEPROMにデータライトを行うときには、IICバスからはクロック信号SCLに同期してシリアルデータバスSDAにより前記図8に示したように開始条件とデバイスアドレスワード—メモリアドレス上位—メモリアドレス下位—ライトデータに対応したシリアルデータx.3を入力する。

【0054】

制御論理回路b.は、デバイスアドレス一致信号q.（デバイスコードも一致）を受けて、上記メモリアドレス上位（H'00）と下位（H'00）から前記図5のメモリマップに示したメモリ領域のメモリセルを選択し、図示しないライト制御信号を形成し、内部データバスにはライトデータを出力する。これにより、メモリ領域には上記IICバスを介して入力されたデータが書き込まれる。なお、上記のような書き込みに先立って、上記アドレスH'0000のメモリセルの消去動作が実施される。

【0055】

図示しないが、シリアルEEPROMは、リセット信号入力端子が設けられるものであってもよい。つまり、このリセット信号入力端子を所定のレベルにすることにより、デバイスアドレスメモリc.の読み出しを行うようにする。また、

このリセット信号入力端子により、他のレジスタ等も初期状態にするものであってもよい。このようなりセット信号入力端子を設けた場合には、デバイスアドレスを変更した時に、その都度電源を遮断し再投入することが必要ない。したがって、このようなりセット信号入力端子を設けた場合には、上記パワーオンリセット回路を削除することもできるものとなる。

【0056】

図10には、この発明に係るシリアルEEPROMの一実施例の概略ブロック図が示されている。デバイスアドレスメモリc.は、前記のような不揮発性メモリから構成される。この実施例では、制御論理回路b.の開始条件検出回路a.が利用される。この制御論理回路b.の開始条件検出回路a.は、前記のようなクロック信号SCLに同期してシリアルデータバスSDAにより前記図8に示したように開始条件を検出し、引き続いて入力されるデバイスアドレスワードの入力に備えるとともに、ロード制御信号m.を発生してデバイスアドレスメモリc.に対して読み出し動作を指示し、格納されたデバイスアドレスn.をデバイスアドレスレジスタd.に転送させる。これにより、デバイスアドレス比較回路e.は、上記開始条件の後に入力されるデバイスアドレスとの比較動作を行うようにすることができる。

【0057】

この構成では、デバイスアドレスメモリc.の読み出しが開始条件により、その都度行われるからデバイスアドレスを変更した時に、その都度電源を遮断し再投入することが必要ない。つまり、開始条件検出回路a.を有効利用することによりパワーオンリセット回路を不要にできるものである。さらには、パワーオンリセット回路やリセット入力信号端子と組み合わせ、リセット信号により初期化される図示しない制御レジスタを有し、制御レジスタ中の情報の一つがデバイスアドレスを転送したか否かを示すものとし、デバイスアドレスの転送に応じて当該情報を更新することにより、リセット後1回だけデバイスアドレスを転送するようにすることも可能である。

【0058】

図11には、この発明に係る情報処理システムの一実施例の構成図が示されて

いる。この実施例では、特に制限されないが、マイコンチップとEEPROMチップとが積層構造とされた1つの半導体装置として構成される。このように一体的に封止されたマイコンチップとEEPROMチップとは、IICバスに対応してボンディングワイヤにより内部で接続されている。上記EEPROMチップを積層搭載したマイコンは、基板に形成されたIICバスを介して他の周辺装置としてのLCD（液晶表示装置）ドライバチップを搭載したLCDドライバと接続される。特に制限されないが、上記LCDドライバはCMOSデバイスにより構成されている。

【0059】

このように情報処理システムを構成する周辺デバイスがEEPROMとLCDドライバのように複数あるとき、個々のデバイスには異なるデバイスアドレスを割り当てる必要がある。この実施例のように、EEPROMチップ及びLCDドライバには、前記のような内蔵の不揮発性メモリによるデバイスアドレスメモリにデバイスアドレスが格納されることによって、そのシステムに適合するようなデバイスアドレスを割り当てることができる。このような内蔵の不揮発性メモリにデバイスアドレスを格納する構成では、半導体装置側ではデバイスアドレスを設定するためのアドレス端子が不要となり、基板側ではかかるアドレス端子にデバイスアドレス用のハイレベル/ロウレベルを伝えるための配線が不要になるものである。

【0060】

図12には、上記図11の情報処理システムを構成する周辺回路に対応した各半導体チップのブロック図が示されている。EEPROMメモリは、IICバスインターフェイス回路（IIC Bus I/F）と、前記のような論理制御回路（Control logic）、デバイスアドレスメモリ（D. A. Memory）及びデバイスアドレスレジスタ（D. A. Resistor）と、メモリ領域を構成するメモリマトリックス（Memory Matrix）を備えている。上記デバイスアドレスメモリ（D. A. Memory）は、メモリマトリックス（Memory Matrix）を構成するメモリセルと同じメモリセルを用いて構成される。

【0061】

LCDドライバは、IICバスインターフェイス回路（IIC Bus I/F）と、論理制御回路（Control logic）、デバイスアドレスメモリ（D. A. Memory）及びデバイスアドレスレジスタ（D. A. Resistor）と、LCDドライバ回路（LCD Driver logic）を備えている。上記LCDドライバは、CMOS回路で構成されるものであるので、後述するようにCMOSプロセスにより製造が可能な単層ゲート構造からなる不揮発性メモリiFlashメモリが利用される。

【0062】

図13には、この発明に用いられる不揮発性メモリ素子の一実施例の概略断面図が示されている。MONOS型メモリセル及びFLOTOX型メモリセルは、共に情報電荷を蓄積するフローティングゲートと、コントロールゲートとがスタックド構成にされる。このような2層ゲート構造のメモリセルを用いてメモリ領域を構成するEEPROMの場合には、そのメモリセルのプロセスをそのまま用いてデバイスアドレスメモリを形成することができる。しかしながら、前記LCDドライバのようにCMOSプロセスで形成される半導体装置では、ゲート電極が1層とされるからデバイスアドレスメモリのためだけ2層ゲート構造のプロセスを追加する必要がある。

【0063】

これに対して、iFlash型メモリセルは、Nチャンネル型のMOSFETのゲートと同時に形成されるゲートをフローティングゲート（Floating gate）として用い、それと容量結合されるコントロールゲート（Control gate）を半導体領域内に形成されたn型拡散層により構成するものである。このn型拡散層は、MOSFETのソース、ドレイン拡散層と同時に形成される。上記フローティングゲートは、そのまま延びて同図の右側に示されてフローティングゲートと一体的に形成され、かかるフローティングゲートがソース、ドレイン拡散層を跨ぐように形成される。つまり、iFlash型メモリセルの左側断面図は、右側断面図とは平面的には90°異なる向きに形成されるものである。このように1層のゲート構造であるが故に、単層ゲート構造の不揮発

性メモリとも呼ばれるものである。iFlash型メモリセルについては、特願平11-23631号、特願平12-38167号、特願平12-71079号等に詳細が記載されている。

【0064】

EEPROMは、前記MONOS型やFLOTOX型の他に、その書き込みや消去動作によってディプレッションモードにならないよう制御することにより、アドレス選択用のMOSFET、つまりは同図のセレクトゲート (Select gate) を持つMOSFETを省略するものであってもよい。このようにEEPROMを構成する不揮発性メモリセルは種々の実施形態を採ることができるものである。

【0065】

図14には、この発明に係る半導体装置の一実施例の模式的平面図が示されている。この実施例では、QFP (Quad Flatpack Package) 型半導体装置に向けられており、半導体装置の樹脂封止体の上部を除去した状態を模式的に示したものである。図15には、図14のa-a切断線にほぼ沿う模式的断面図が示されている。図15では、ボンディングワイヤ及び2つの半導体チップが表れるように各切断線を部分的に屈曲させられている。

【0066】

この実施例のQFP型半導体装置30Aは、2つの半導体チップ（マイコン用チップ10、EEPROM用チップ20）を上下に積層し、この2つの半導体チップを1つの樹脂封止体17で封止した構成になっている。

【0067】

マイコン用チップ10及びEEPROM用チップ20は異なる平面サイズ（外形寸法）で形成され、夫々の平面形状は方形状で形成されている。本実施形態において、マイコン用チップ10の平面形状は例えば4.05 [mm] × 4.15 [mm] の長方形で形成され、EEPROM用チップ20の平面形状は例えば1.99 [mm] × 1.23 [mm] の長方形で形成されている。つまり、EEPROM用チップ20の平面サイズは、マイコン用チップ10の平面サイズよりも小さくされる。ここで、平面サイズとは、回路形成面の大きさを意味しており、

回路形成面の面積は、EEPROM用チップ20の方がマイコン用チップ10よりも小である。

【0068】

マイコン用チップ10及びEEPROM用チップ20は、例えば、単結晶シリコンからなる半導体基板と、この半導体基板の回路形成面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜（最終保護膜）とを有する構成となっている。

【0069】

マイコン用チップ10の互いに対向する回路形成面（一主面）10A及び裏面（他の主面）のうちの回路形成面10Aには、複数のボンディングパッド11が形成されている。この複数のボンディングパッド11は、マイコン用チップ10の多層配線層のうちの最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜で被覆され、この表面保護膜にはボンディングパッド11の表面を露出するボンディング開口が形成されている。

【0070】

EEPROM用チップ20の互いに対向する回路形成面（一主面）20A及び裏面（他の主面）のうちの回路形成面20Aには、複数のボンディングパッド21が形成されている。この複数のボンディングパッド21は、EEPROM用チップ20の多層配線層のうちの最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜で被覆され、この表面保護膜にはボンディングパッド21の表面を露出するボンディング開口が形成されている。

【0071】

マイコン用チップ10のボンディングパッド11及びEEPROM用チップ20のボンディングパッド21の平面形状は、例えば65[μm]×65[μm]の正方形で形成されている。マイコン用チップ10の複数のボンディングパッド11は、マイコン用チップ10の4つの辺に沿って配列されている。EEPROM用チップ20の複数のボンディングパッド21は、EEPROM用チップ20の4つの辺に沿って配列されている。

【0072】

EEPROM用チップ20は、EEPROM用チップ20の他の主面である裏面がマイコン用チップ10の回路形成面10Aと向かい合う状態でマイコン用チップ10の回路形成面10A上に配置され、接着層15を介在してマイコン用チップ10の回路形成面10Aに接着固定されている。本実施形態において、接着層15としては例えばポリイミド系の接着用樹脂フィルムを用いている。

【0073】

マイコン用チップ10は、その裏面がダイパッド5と向かい合う状態で、接着層を介在してダイパッド5に接着固定されている。ダイパッド5には4本の吊りリード6が一体化され、これらのダイパッド5及び4本の吊りリード6で支持体4が構成されている。

【0074】

樹脂封止体17の平面形状は方形状で形成されている。本実施形態において、樹脂封止体17の平面形状は例えば10 [mm] × 10 [mm] の正方形で形成されている。樹脂封止体17は、低応力化を図る目的として、例えばフェノール硬化剤、シリコンゴム及びフィラー等が添加されたエポキシ系の樹脂で形成されている。この樹脂封止体17の形成においては、大量生産に好適なトランスファモールディング法が用いられている。トランスファモールディング法は、ポット、ランナー、流入ゲート及びキャビティ等を備えた成形金型を使用し、ポットからランナー及び流入ゲートを通してキャビティの内部に樹脂を注入して樹脂封止体を形成する方法である。

【0075】

マイコン用チップ10の周囲には、樹脂封止体17の各辺に沿って配列された複数のリード2が配置されている。複数のリード2の夫々は、内部リード部（インナーリード）及びこの内部リード部と一体に形成された外部リード部（アウターリード）を有する構成となっている。各リード2の内部リード部は樹脂封止体17の内部に位置し、外部リード部は樹脂封止体17の外部に位置する。即ち、複数のリード2は、樹脂封止体17の内外に亘って延在している。各リード2の外部リード部は、面実装型リード形状の1つである例えばガルウイング型リード形状に折り曲げ成形されている。

【0076】

上記マイコン用チップ10とEEPROM用チップ20の前記IICバスに接続されるリード2に対して、それぞれのボンディングパッドが共通に接続される。つまり、クロックSCLやシリアルデータSDAに対応したリード（同図では代表としてリード2が相当）に対して、マイコン用チップ10とEEPROM用チップ20のそれに対応したボンディングパッドとの間でそれぞれボンディングワイヤ16と16によりそれぞれ接続される。つまり、上記2本のボンディングワイヤ16と16により、半導体装置の内部でIICバス構造に接続される。

【0077】

図16には、この発明に係る情報処理システムの一実施例のブロック図が示されている。マイコン用チップ10は、プロセッサユニット（CPU）、ROMユニット（ROM）、RAMユニット（RAM）、タイマユニット（TIM）、A/D変換ユニット（A/D）、シリアル・コミュニケーション・インターフェイス・ユニット（SCI）、データ入出力回路ユニット（I/O）等を同一半導体基板に搭載した構成となっている。これらの各ユニット間は、データバス18Aやアドレスバス18Bを介在して相互に接続されている。プロセッサユニット（CPU）は、主に、中央処理部、制御回路部及び演算回路部等で構成されている。このように構成されたマイコン用チップ10は、例えばROMユニット（ROM）に格納されたプログラムによって動作する。

【0078】

EEPROM用チップ20は、シリアル・コミュニケーション・インターフェイス・ユニット（SCI）及び不揮発性記憶ユニット（EEPROM）等を同一半導体基板に搭載した構成となっている。シリアル・コミュニケーション・インターフェイス・ユニット（SCI）には、前記制御論理回路やデバイスアドレスメモリレジスタや比較回路が含まれる。

【0079】

EEPROM用チップ20は、複数のボンディングパッド21の中に、信号用端子であるシリアルデータ（SDA）用ボンディングパッド21A及びシリアルクロック（SCL）用ボンディングパッド21Bを有している。マイコン用チッ

ブ10は、複数のボンディングパッド11の中に、信号用端子であるシリアルデータ（SDA）用ボンディングパッド11A及びシリアルクロック（SCL）用ボンディングパッド11Bを有している。

【0080】

EEPROM用チップ20のSDA用ボンディングパッド21Aは信号伝達経路25Aを介してマイコン用チップ10のSDA用ボンディングパッド11Aに電氣的に接続され、EEPROM用チップ20のSCL用ボンディングパッド21Bは信号伝達経路25Bを介してマイコン用チップ10のSCL用ボンディングパッド11Bに電氣的に接続される。

【0081】

EEPROM用チップ20の不揮発性記憶ユニット（EEPROM）は、マイコン用チップ10の動作によってシリアルデータが書き込まれる。即ち、EEPROM用チップ20の不揮発性記憶ユニット（EEPROM）は、マイコン用チップ10のプロセッサユニット（制御回路）からの制御信号によって書き込み動作及び読み出し動作が制御される。なお、信号用伝達経路25A及び25Bは、前記内部リード部及び2本のボンディングワイヤで構成されている。つまり、前記図15のようにボンディングワイヤ16を介してリード2の内部リード部に夫々電氣的に接続されている。

【0082】

即ち、マイコン用チップ10とEEPROM用チップ20との電氣的な接続は、樹脂封止体17の内部において、リード2のインナー部及び2本のボンディングワイヤ16によって行われている。このような構成とすることにより、マイコン用チップ10に合わせて開発されたリードフレームをそのまま使用することができるため、マイコン用チップ10の品種毎にリードフレームを新たに開発する必要がない。また、EEPROM用チップ20と電氣的に接続するためのEEPROM用ボンディングパッドを設けたマイコン用チップを品種毎に開発する必要もない。

【0083】

シリアルデータ信号は、マイコン用チップ10のSDA用ボンディングパッド

1 1 A から出力され、ボンディングワイヤ 1 6、リード 2、ボンディングワイヤ 1 6 を介して E E P R O M 用チップ 2 0 の S D A 用ボンディングパッド 2 1 A に入力される。シリアルクロック信号は、マイコン用チップ 1 0 の S C L 用ボンディングパッド 1 1 B から出力され、ボンディングワイヤ 1 6、リード 2、ボンディングワイヤ 1 6 を介して E E P R O M 用チップ 2 0 の S C L 用ボンディングパッド 2 1 B に入力される。

【 0 0 8 4 】

この実施例では、2 つの E E P R O M 1 と E E P R O M 2 を備える。1 つの E E P R O M 1 は、前記図 1 4 のようにマイコン用チップ 1 0 と積層構造に取り付けられ、一体的に封止される。これに対して、斜線を付した E E P R O M 2 は、外部の拡張用メモリとされる。E E P R O M 1 と E E P R O M 2 は、同じ半導体チップで構成され、E E P R O M 1 は前記のようにマイコン用チップ 1 0 と積層構造にされるのに対して、E E P R O M 2 は、単体で 1 つの半導体装置とされる。このような拡張用 E E P R O M 2 は、前記 1 1 のような実装基板上に実装され、I I C バスと接続される。

【 0 0 8 5 】

この実施例では、上記 E E P R O M 1 と E E P R O M 2 を 1 つの情報処理システムに搭載するので、それぞれは異なるデバイスアドレスを設定する必要がある。前記のようなデバイスアドレスメモリへの書き換えにより、一方を前記のように 0 0 0 の仮デバイスアドレスのままとし、他方を 1 0 1 のように異なるデバイスアドレスに書き換えるようにすればよい。

【 0 0 8 6 】

以上説明したように、本実施形態によれば以下の効果が得られる。

(1) シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路を持つ半導体装置に、識別情報を格納させる不揮発性記憶回路を設け、かかる不揮発性記憶回路に格納された内部識別情報と、上記シリアルバスを介して供給される入力信号に含まれる外部識別情報とを比較回路により比較し、その一致検出信号により上記シリアルバスを介して引き続き供給される入力信号に応答する回路動作を行う制御回路により上記不

揮発性記憶回路の内部情報の変更も含ませることにより、使い勝手のよく、柔軟なデバイスアドレスの設定が可能にされた半導体装置を得ることができるという効果が得られる。

【0087】

(2) 上記に加えて、内部識別信号を不揮発性記憶回路に格納された識別情報が所定の状態となることを条件に読み出して所定の記憶回路に転送させることにより、安定的にしかも高速なデバイスアドレスの判定を行うようにすることができるという効果が得られる。

【0088】

(3) 上記に加えて、電源電圧を受ける供給電圧検出回路を設けて上記電源電圧が第1レベルに上昇したことを検出して、上記所定の状態を作り出すことにより、安定的で高速なデバイスアドレスの判定を行うようにすることができるという効果が得られる。

【0089】

(4) 上記に加えて、リセット信号入力端子を設け、その信号レベルを所定レベルとすることにより上記所定の状態を設定することにより、書き換えられたデバイスアドレスをデバイスアドレスレジスタにロードするために電源電圧をいったん遮断して再投入するという煩わしさを無くするとともに、格別な供給電圧検出回路が不要になるので回路の簡素化も合わせて図ることができるという効果が得られる。

【0090】

(5) 上記に加えて、上記所定の状態を電源投入後に最初にシリアルバスを介して供給される所定の入力信号により設定することにより、回路の簡素化を図ることができるという効果が得られる。

【0091】

(6) 上記に加えて、上記制御回路による回路動作として、上記入力信号に応答して上記不揮発性記憶回路に対する識別情報の書き換え動作と、上記入力信号に応答して上記内部回路に向けた動作とを含ませることにより、上記シリアルバス規格をそのまま利用してデバイスアドレスの設定を行うようにすることができる

るという効果が得られる。

【0092】

(7) 上記に加えて、シリアルバスに適合した第2の入出力インターフェイス回路を持ち、かかる第2の入出力インターフェイス回路を介して設けられる信号処理回路とを更に備え、上記第2の入出力インターフェイス回路と信号処理回路とを第1半導体チップに搭載し、かかる第1半導体チップの主面上に上記第1入出力インターフェイス回路、内部回路及び不揮発性記憶回路、比較回路及び制御回路が搭載された第2半導体チップを積層構造にして一体的に封止することにより、低コスト及び小型で高性能の半導体装置を得ることができるという効果が得られる。

【0093】

(8) 上記に加えて、第1半導体チップの第2の入出力インターフェイス回路に対応したボンディングパッドとリードとを接続する第1ボンディングワイヤと、上記第2半導体チップの第1の入出力インターフェイス回路に対応したボンディングパッドと上記リードとを接続する第2ボンディングワイヤとにより2つの半導体チップの間を接続するシリアルバスを構成することにより、2つの半導体チップの組み合わせを柔軟にしかも簡単に行うようにすることができるという効果が得られる。

【0094】

(9) 上記に加えて、上記第1半導体チップとしてプロセッサユニットと、かかるプロセッサユニットによる信号処理の手順が書き込まれたROMとを含むものとし、上記第2半導体チップを上記識別情報が格納される不揮発性記憶回路と異なるアドレス空間が割り当てられたメモリ回路とすることにより、柔軟に情報処理システムに適合させつつ、小型で高性能の半導体装置を得ることができるという効果が得られる。

【0095】

(10) 上記に加えて、上記メモリ回路を上記識別情報が格納される不揮発性記憶回路と同じ構造のメモリセルを用いて構成することにより、異なる半導体プロセスで形成される2つの回路を持つ1つの半導体装置を合理的に製造すること

ができるという効果が得られる。

【0096】

(11) 上記に加えて、内部回路をCMOS回路とし、上記識別情報が格納される不揮発性記憶回路を上記CMOS回路の製造プロセスにより形成される単層ゲート構造の不揮発性メモリセルを用いることにより、製造プロセスの合理化を図ることができるという効果が得られる。

【0097】

(12) 上記に加えて、内部識別情報を第1内部識別情報と第2内部識別情報とし、シリアルバスを介して供給される第1入力信号に含まれる第3外部識別情報と、上記不揮発性記憶回路に格納された上記第1内部識別情報とを比較し、上記第1内部識別情報と第3外部識別情報とが一致した場合、上記第1入力信号に含まれる第4外部識別情報と、上記不揮発性記憶回路に格納された第2内部識別情報を比較し、第2内部識別情報と第4外部識別情報が一致することを条件として、上記第1入力信号に続いてシリアルバスを介して供給される第2入力信号により上記第1内部識別情報の変更を行う動作を上記制御回路と比較回路により行うようにすることにより、高い信頼性のもとにデバイスアドレスの変更を行うことができるという効果が得られる。

【0098】

(13) シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路を持つ半導体装置に、識別情報が格納される不揮発性記憶回路を設け、内部回路の内部状態が第1状態になった場合に、上記シリアルバスを介して供給される入力信号により上記識別情報を変更する動作を含ませることにより、使い勝手のよく、柔軟なデバイスアドレスの設定が可能にされた半導体装置を得ることができるという効果が得られる。

【0099】

(14) 上記に加えて、内部識別情報を第1内部識別情報と第2内部識別情報とし、シリアルバスを介して供給される第1入力信号に含まれる第3外部識別情報と、上記不揮発性記憶回路に格納された上記第1内部識別情報とを比較し、上記第1内部識別情報と第3外部識別情報とが一致した場合、上記第1入力信号に

含まれる第4外部識別情報と、上記不揮発性記憶回路に格納された第2内部識別情報を比較し、第2内部識別情報と第4外部識別情報が一致することを条件として、上記第1入力信号に続いてシリアルバスを介して供給される第2入力信号により上記第1内部識別情報の変更を行う動作を上記内部回路により行うようにすることにより、高い信頼性のもとにデバイスアドレスの変更を行うようにすることができるという効果が得られる。

【0100】

(15) 上記に加えて、上記シリアルバスをIICバスとすることにより、2本の信号線により信号の授受が可能であり、システムの構築が容易となるという効果が得られる。

【0101】

(16) シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路と識別情報が格納される不揮発性記憶回路とをそれぞれ備えた複数の半導体装置により情報システムを構成し、各半導体装置において、内部回路の内部状態が第1状態になった場合に上記シリアルバスを介して供給される入力信号により上記個々の識別情報の変更を可能にすることによりデバイスアドレスの設定が可能にされ、システムを構成する基板の実装スペースの有効利用、あるいは小型化が図られるとともに、システムの変更や拡張等にも柔軟に適合可能な情報処理システムを得ることができるという効果が得られる。

【0102】

(17) 上記に加えて、各半導体装置の識別情報を、第1識別情報と第2識別情報とし、シリアルバスを介して供給される第1入力信号に含まれる第3識別情報と、上記不揮発性記憶回路に格納された上記第1識別情報とを比較し、上記第1識別情報と第3識別情報とが一致した場合、上記第1入力信号に含まれる第4識別情報と、上記不揮発性記憶回路に格納された第2識別情報を比較し、第2識別情報と第4識別情報が一致することを条件として、上記第1入力信号に続いてシリアルバスを介して供給される第2入力信号により個々の半導体装置の識別情報を互いに異なる情報に設定することにより、高い信頼性のもとにデバイスアド

レスの設定を行うようにすることができるという効果が得られる。

【0103】

(18) 上記に加えて、上記シリアルバスをIICバスとすることにより、2本の信号線により信号の授受が可能であり、システムの構築が容易となるという効果が得られる。

【0104】

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えばシリアルバスは、前記IICバスの他に、主に自動車向に利用されているCANバス規格、パーソルコンピュータ用のシリアルATA、USBあるいはIEEE1394等のバスも同様に利用することができる。

【0105】

デバイスアドレスメモリは、前記のような不揮発性メモリの他に、電氣的に切断されるヒューズ等を用いるものであってもよい。ただし、この場合には1回限りの書き込みしかできないから、書き換えも可能である不揮発性メモリの方が使い勝手の点で優れている。この発明は、デバイスアドレスを必要とする各種半導体装置及びデバイスアドレスを用いて周辺機器のアクセスを行うシリアルバスを用いた情報処理システムに広く利用できる。例えば、このようなシリアルバスを介して複数の装置が接続されるシステムとしては、複数のバッテリーユニットを接続可能なノート型パーソナルコンピュータであって、それぞれのバッテリーユニットがシリアルバスに接続されることにより、バッテリーの消費を監視可能にするものがあげられる。他に、自動車に搭載されるオーディオ機器等であって、運転者が後になって搭載した機器について、それ以前から搭載している機器との間で相互に識別を行うようなものがあげられる。

【0106】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。シリアルバスに適合した入出力インターフ

ェイス回路を介して入出力される信号に対応した回路動作を行う内部回路を持つ半導体装置に、識別情報を格納させる不揮発性記憶回路を設け、かかる不揮発性記憶回路に格納された内部識別情報と、上記シリアルバスを介して供給される入力信号に含まれる外部識別情報とを比較回路により比較し、その一致検出信号により上記シリアルバスを介して引き続き供給される入力信号に応答する回路動作を行う制御回路により上記不揮発性記憶回路の内部情報の変更も含ませることにより、使い勝手のよく、柔軟なデバイスアドレスの設定が可能にされた半導体装置を得ることができる。

【0107】

シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路を持つ半導体装置に、識別情報が格納される不揮発性記憶回路を設け、内部回路の内部状態が第1状態になった場合に、上記シリアルバスを介して供給される入力信号により上記識別情報を変更する動作を含ませることにより、使い勝手のよく、柔軟なデバイスアドレスの設定が可能にされた半導体装置を得ることができる。

【0108】

シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路と識別情報が格納される不揮発性記憶回路とをそれぞれ備えた複数の半導体装置により情報システムを構成し、各半導体装置において、内部回路の内部状態が第1状態になった場合に上記シリアルバスを介して供給される入力信号により上記個々の識別情報の変更を可能にすることによりデバイスアドレスの設定が可能にされ、システムを構成する基板の実装スペースの有効利用、あるいは小型化が図られるとともに、システムの変更や拡張等にも柔軟に適合可能な情報処理システムを得ることができる。

【図面の簡単な説明】

【図1】

この発明に係る半導体装置の一実施例を示す概略ブロック図である。

【図2】

この発明に係る半導体装置を用いた情報処理システムの一実施例を示す概略ブ

ロック図である。

【図 3】

この発明に係る半導体装置に用いられる I I C バスインターフェイスの一実施例を示す構成図である。

【図 4】

この発明に係るシリアル E E P R O M の動作の一例を説明するための構成図である。

【図 5】

この発明に係るシリアル E E P R O M のアドレス設定動作の一例を説明するための構成図である。

【図 6】

この発明に係る情報処理システムの一実施例を示す構成図である。

【図 7】

この発明に係る情報処理システムの他の一実施例を示す構成図である。

【図 8】

I I C バスインターフェイスでの通信プロトコルを説明するためのタイミング図である。

【図 9】

この発明に係るシリアル E E P R O M の一実施例を示す概略ブロック図である。

【図 1 0】

この発明に係るシリアル E E P R O M の一実施例を示す概略ブロック図である。

【図 1 1】

この発明に係る情報処理システムの一実施例を示す構成図である。

【図 1 2】

図 1 1 の情報処理システムを構成する周辺回路に対応した各半導体チップの一実施例を示すブロック図である。

【図 1 3】

この発明に用いられる不揮発性メモリ素子の一実施例を示す概略断面図である。

【図 14】

この発明に係る半導体装置の一実施例を示す模式的平面図である。

【図 15】

図 14 の a - a 切断線にほぼ沿う模式的断面図である。

【図 16】

この発明に係る情報処理システムの一実施例を示すブロック図である。

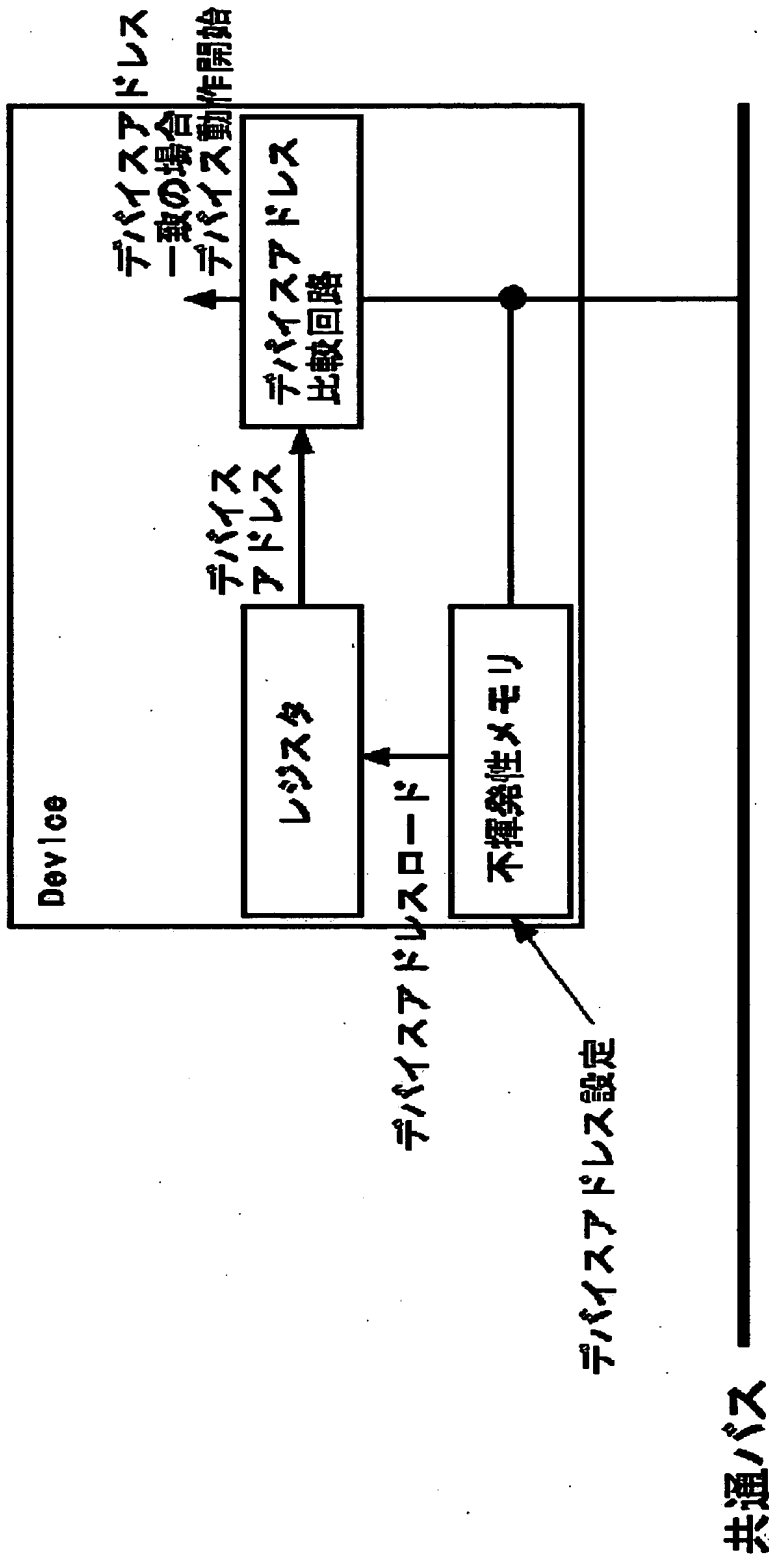
【符号の説明】

1…フレーム本体、2…リード、3…ダムバー、4…支持体、5…ダイパッド、6…吊りリード、10…マイコン用チップ、11…ボンディングパッド、15…接着層、16…ボンディングワイヤ、17…樹脂封止体、20…EEPROM 用チップ、21…ボンディングパッド、

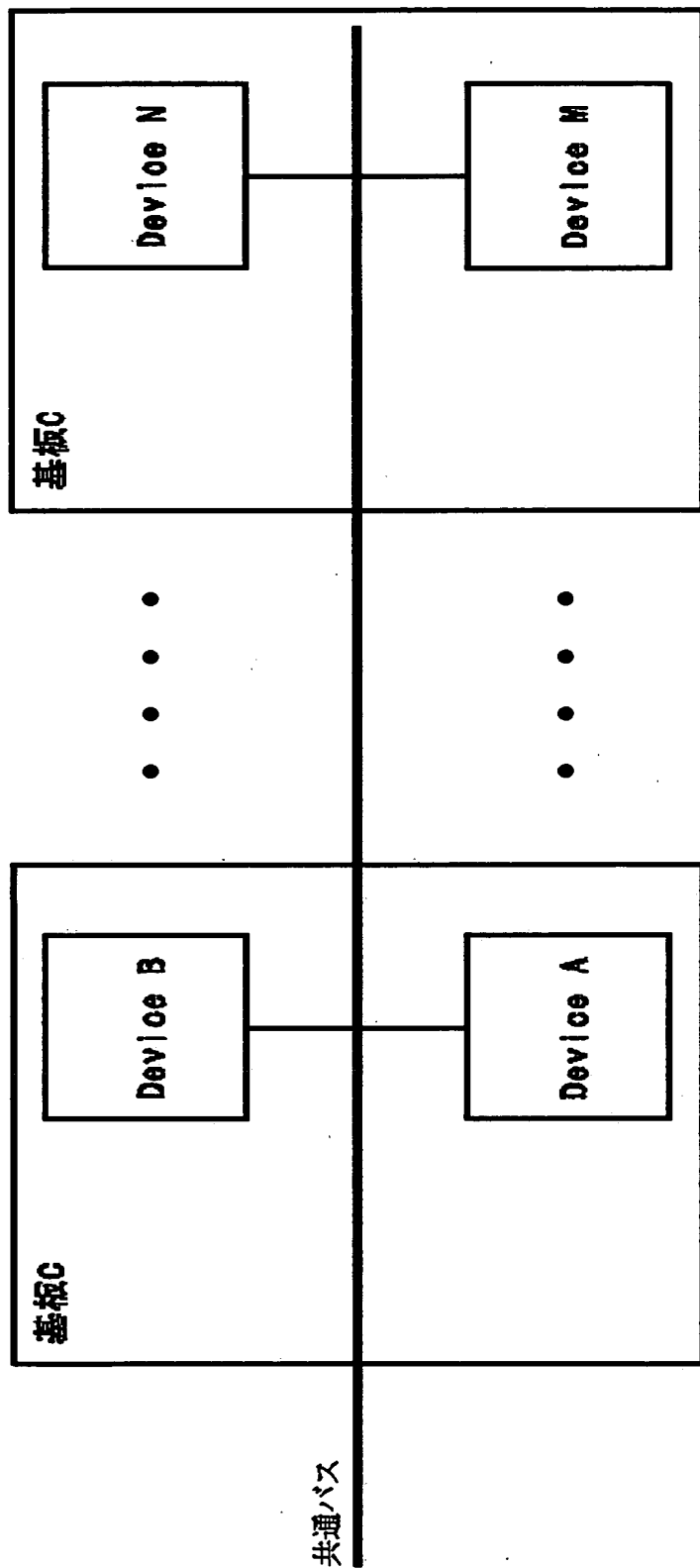
CPU…プロセッサユニット、ROM…ROMユニット、RAM…RAMユニット、TIM…タイマ、A/D…A/D変換器、SCI…シリアルコミュニケーション・インターフェイス。

【書類名】 図面

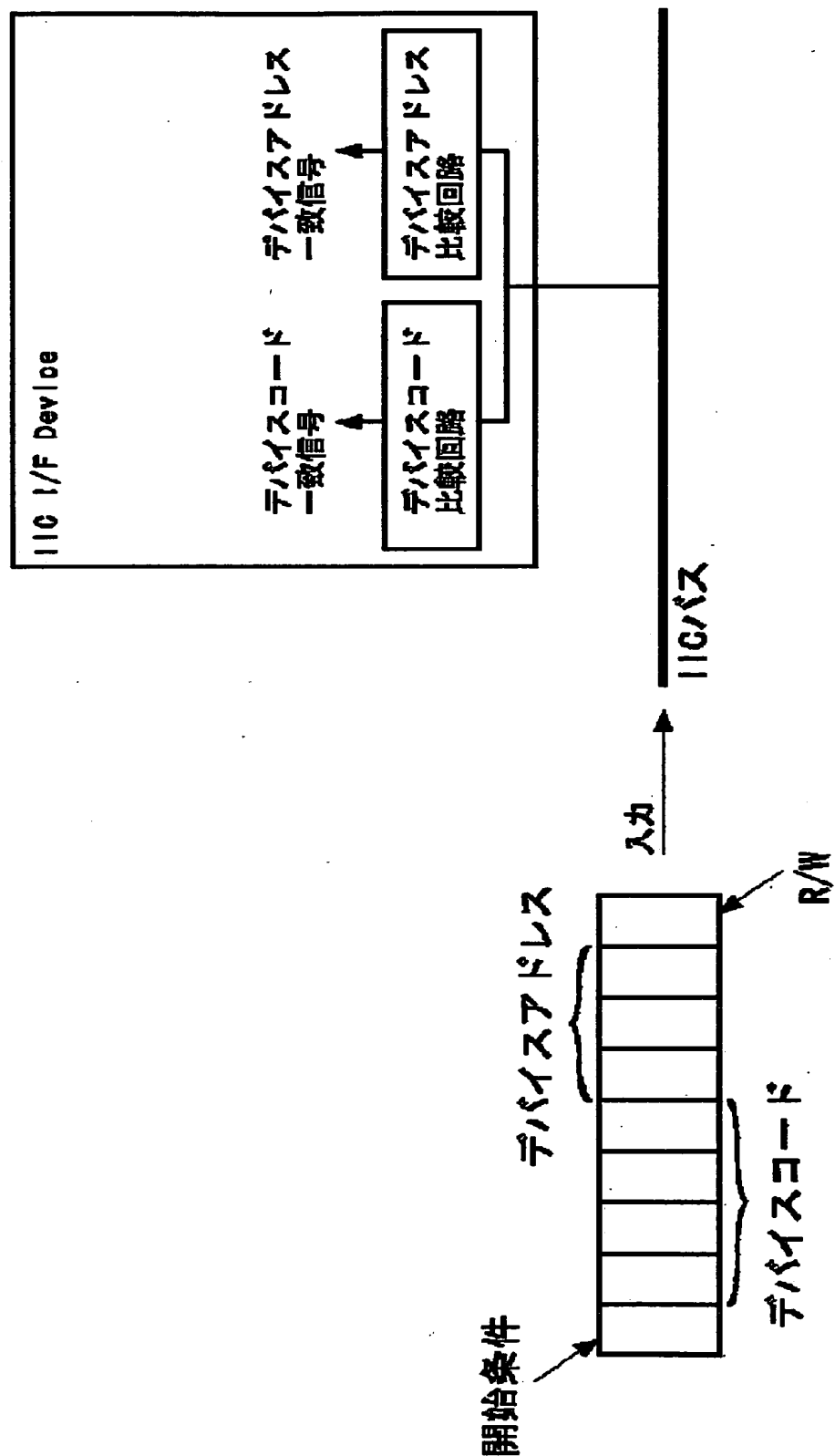
【図 1】



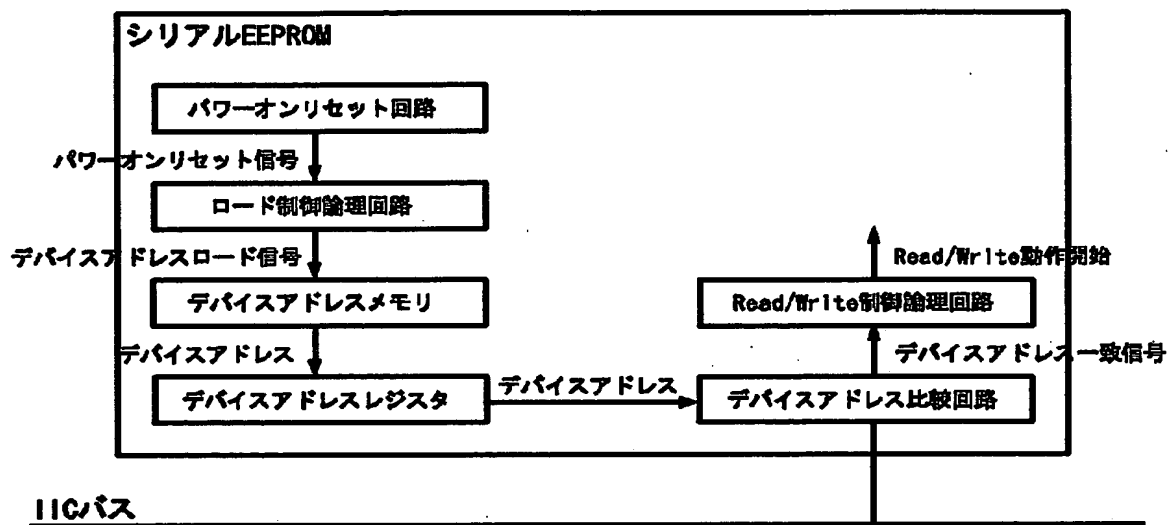
【図 2】



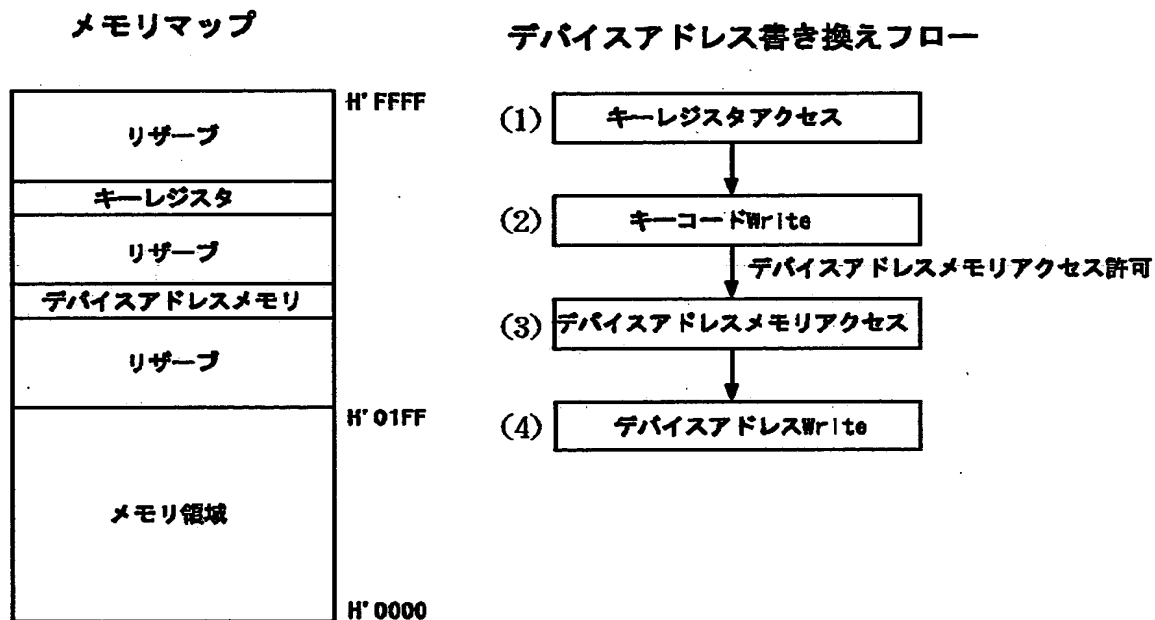
【図3】



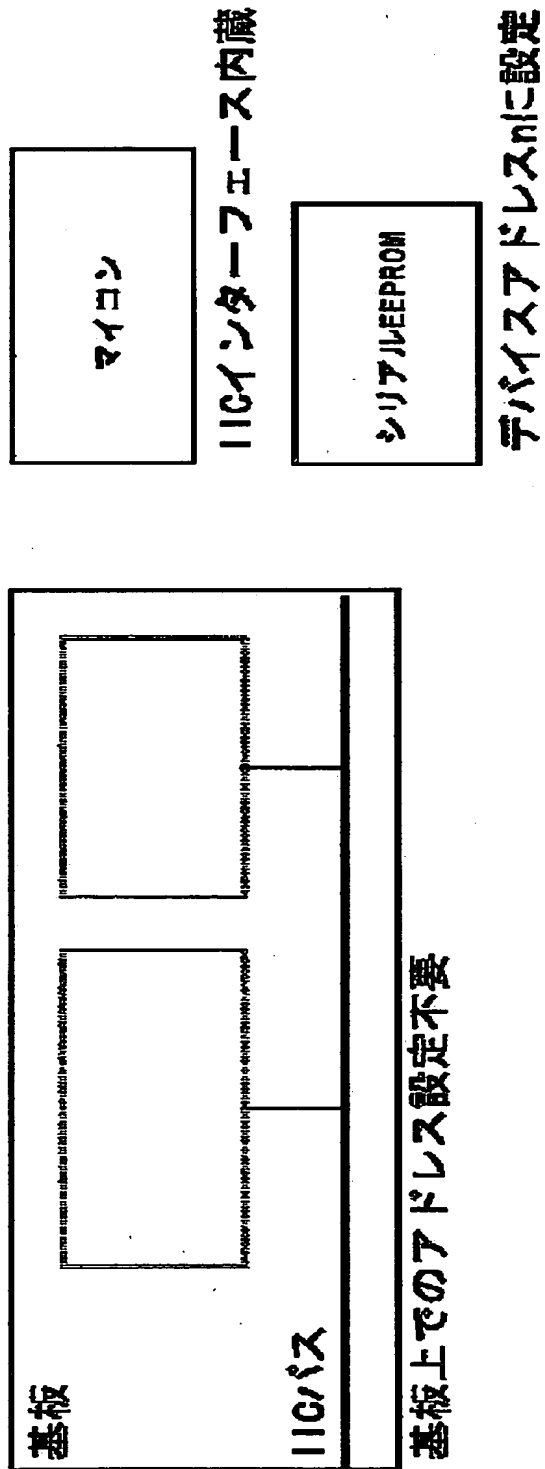
【図 4】



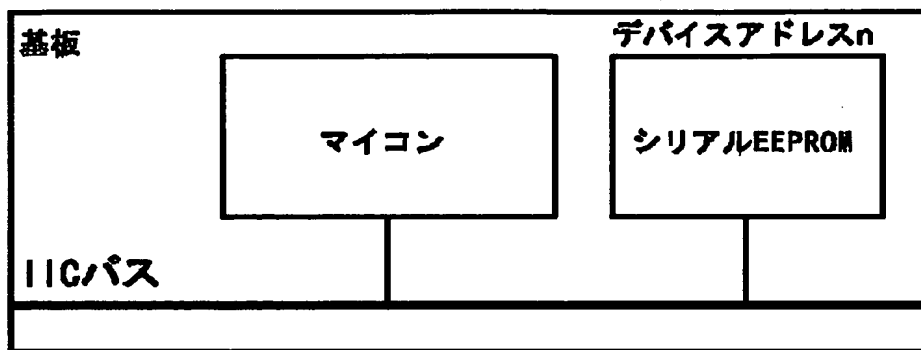
【図 5】



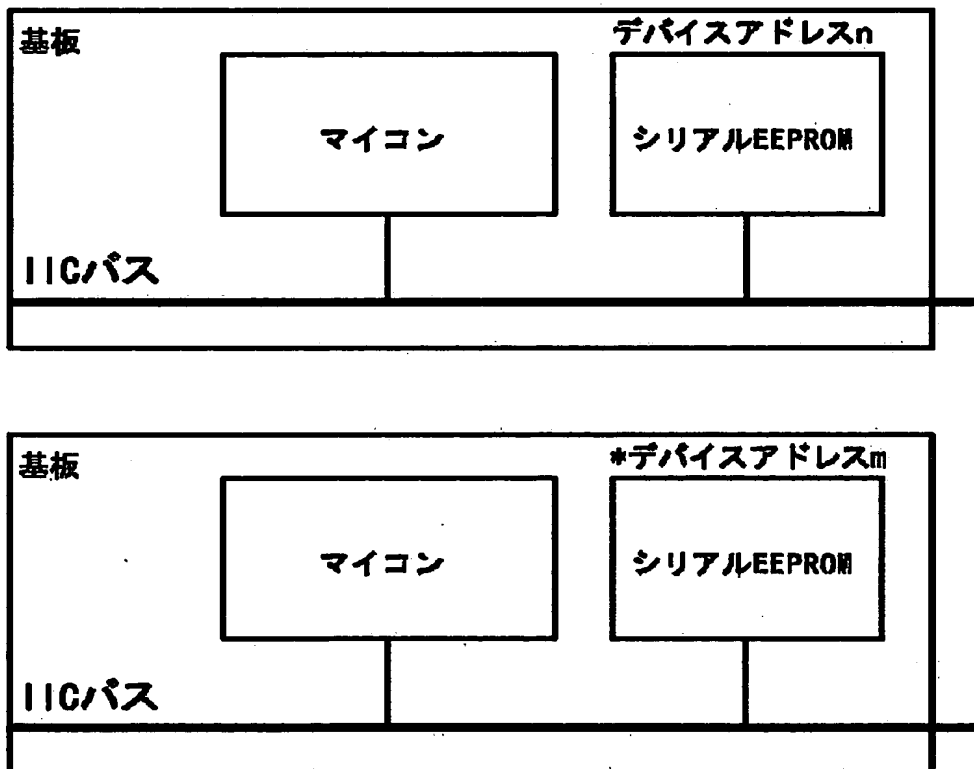
【図6】



【図 7】

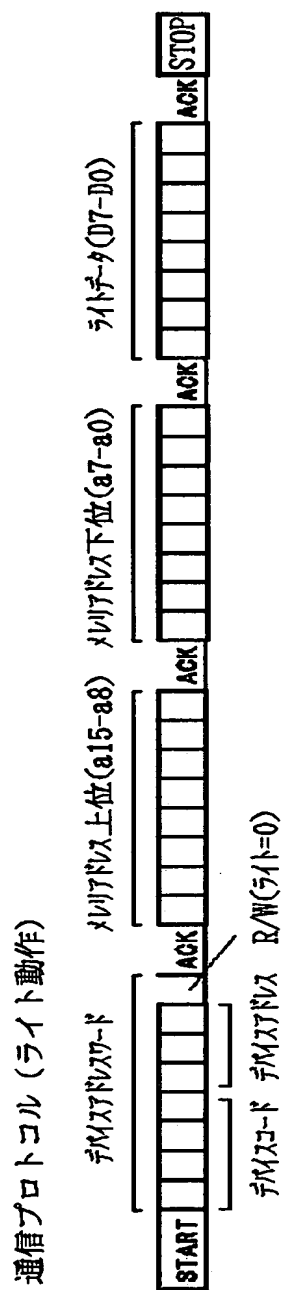


*EEPROM搭載マイコンシステム

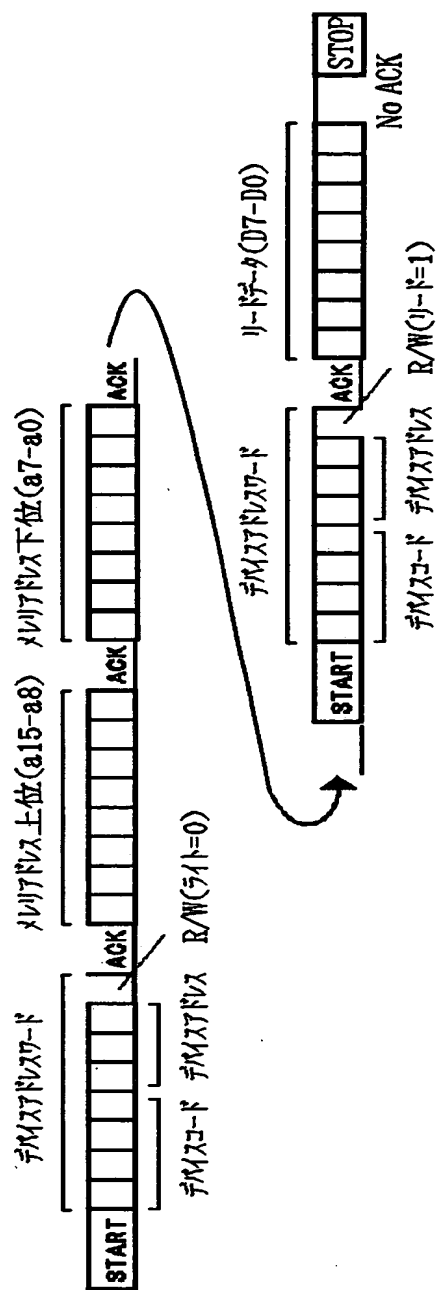


EEPROM搭載マイコンシステム (2CPU)
(アドレスn, mのシリアルEEPROMとしての動作可)

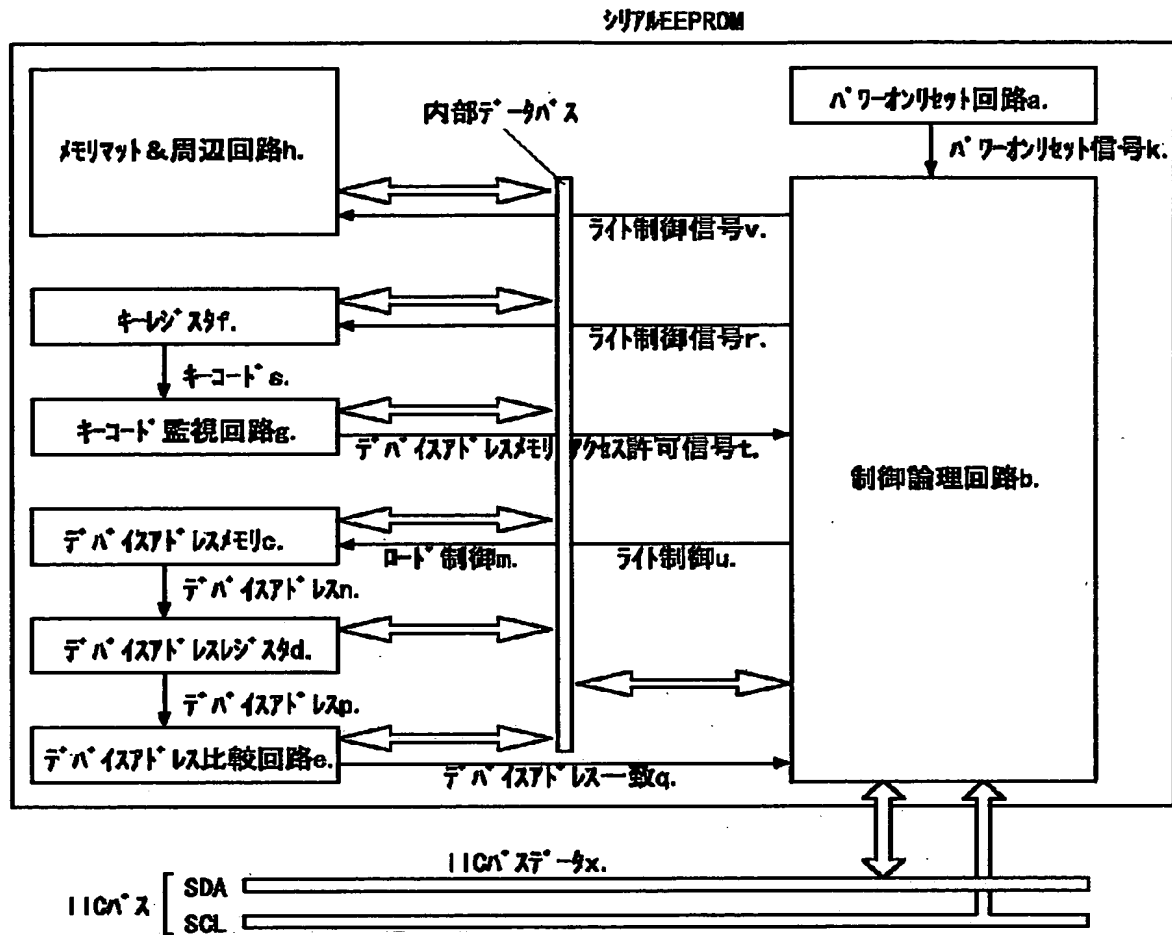
【図 8】



通信プロトコル (リード動作)



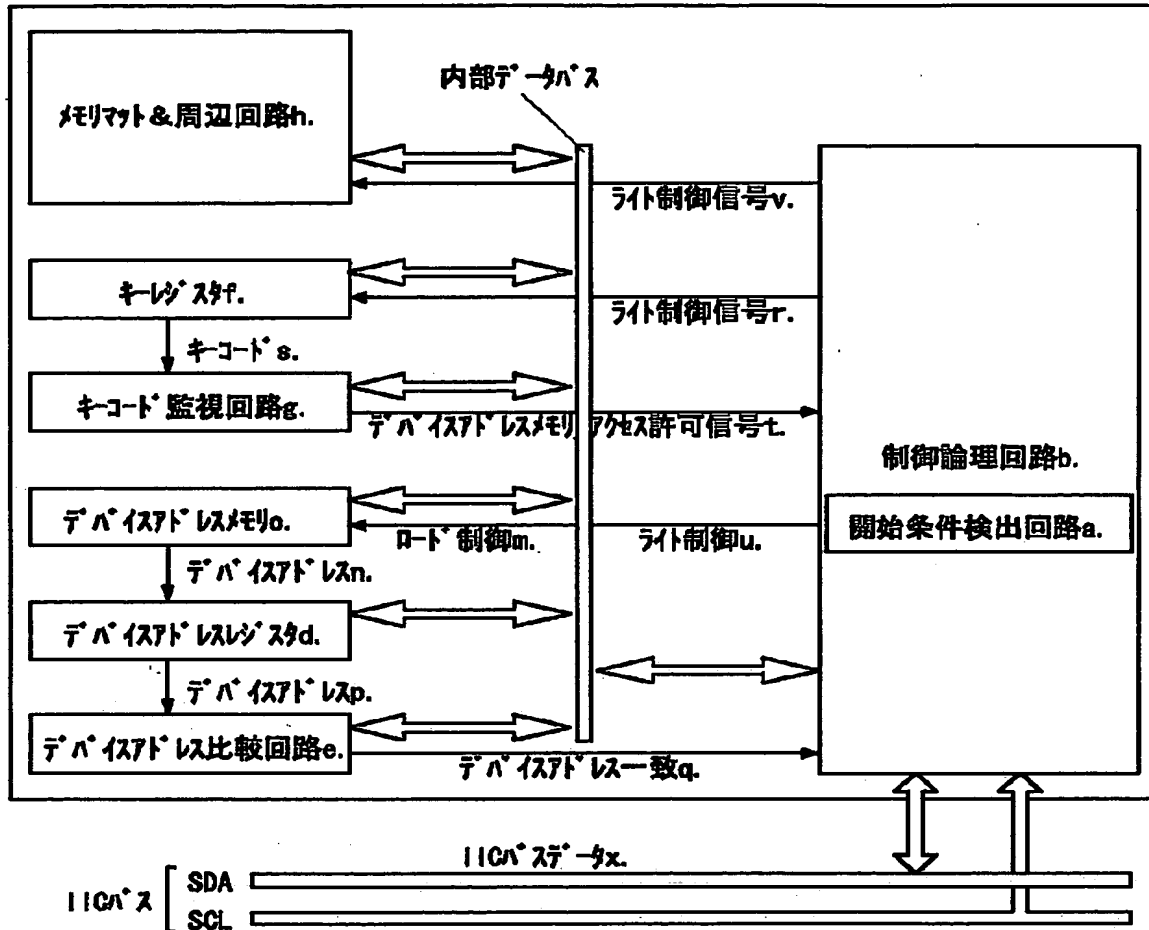
【図9】



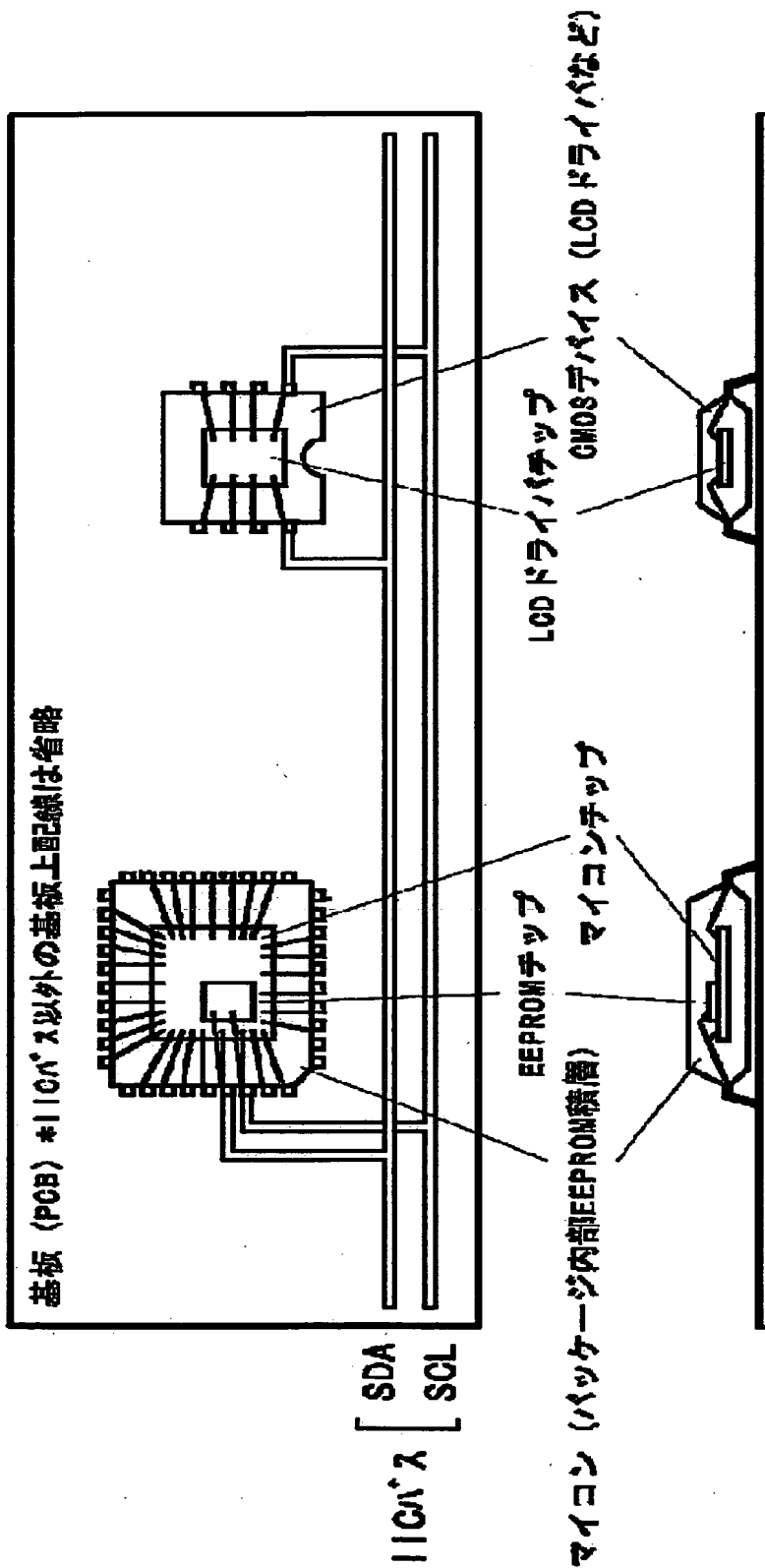
IICマスターx.	デバイスアドレスワード#	メモリアドレス上位	メモリアドレス下位	ライトデータ
1	10100000	H' FF	H' 10	キーコード
2	10100000	H' FF	H' 09	xxxxxx101
3	10101010	H' 00	H' 00	ライトデータ

【図10】

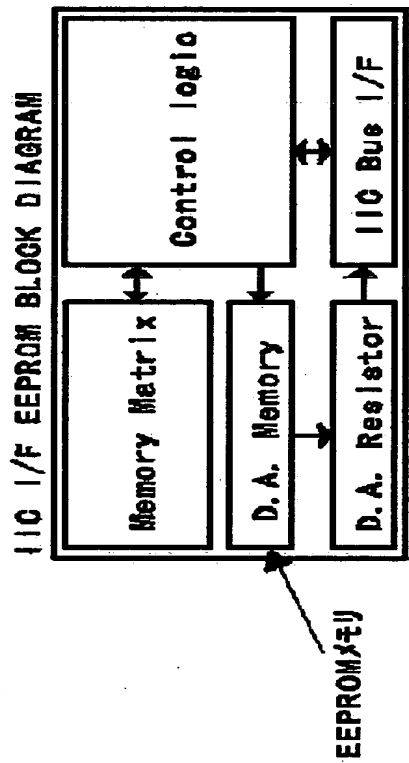
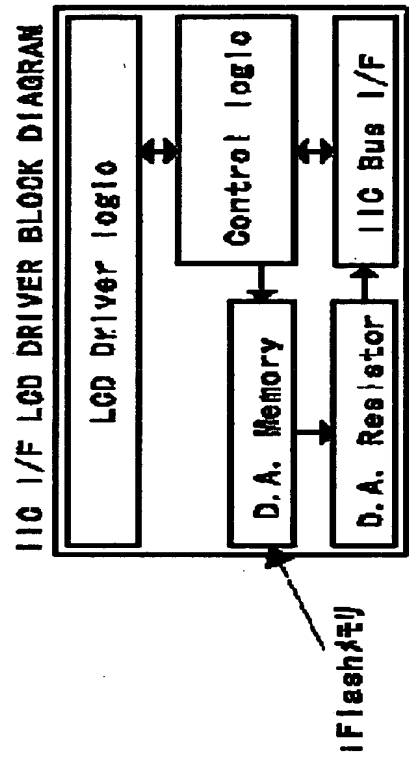
シリアルEEPROM



【図 11】

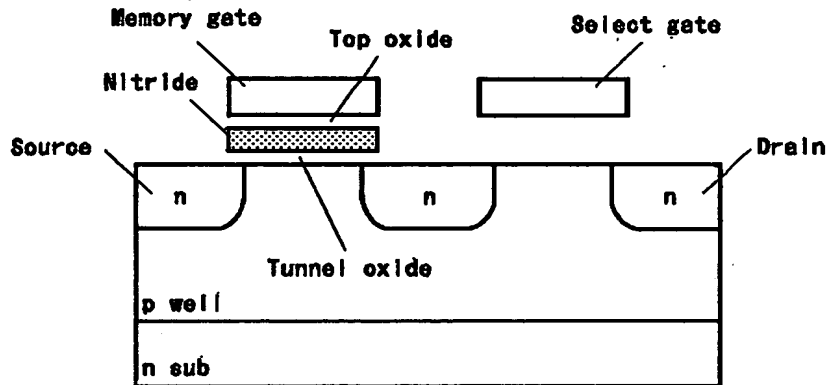


【図 12】

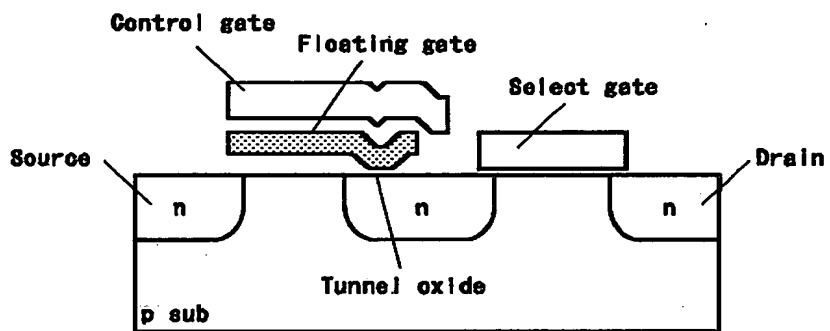


【図 13】

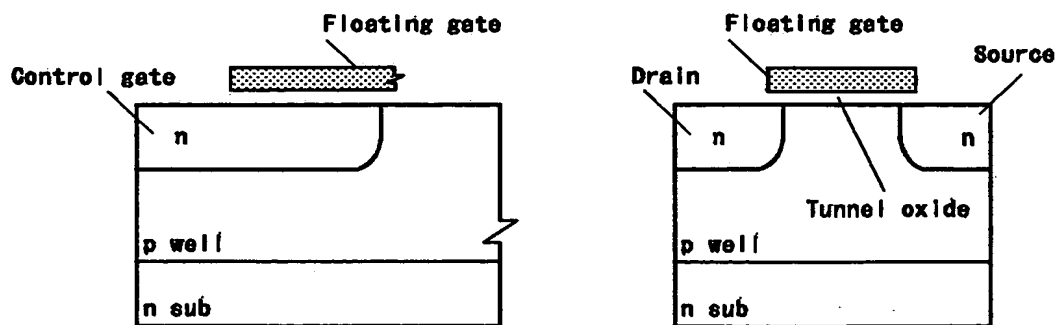
MONOS型



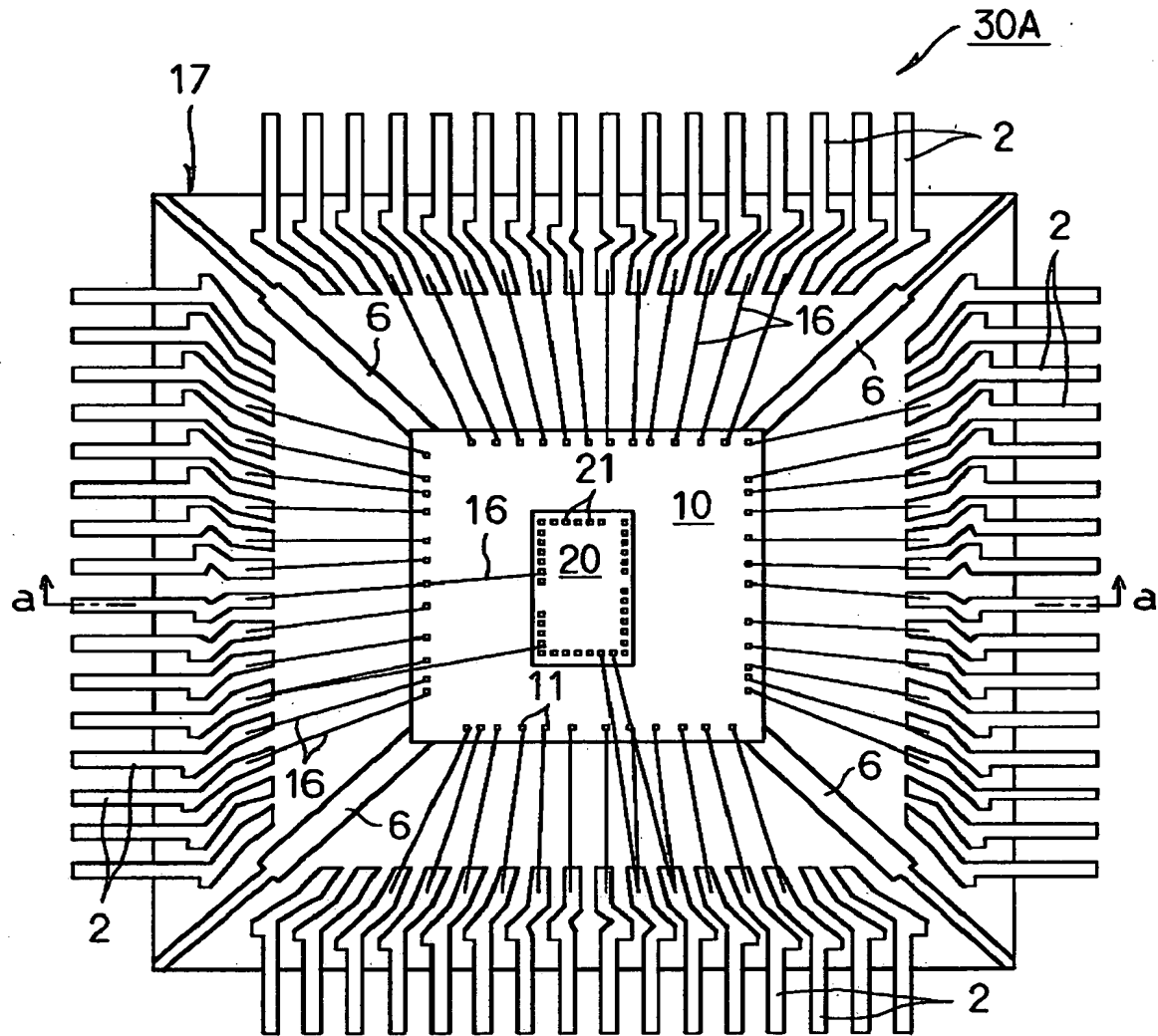
FLOTOX型



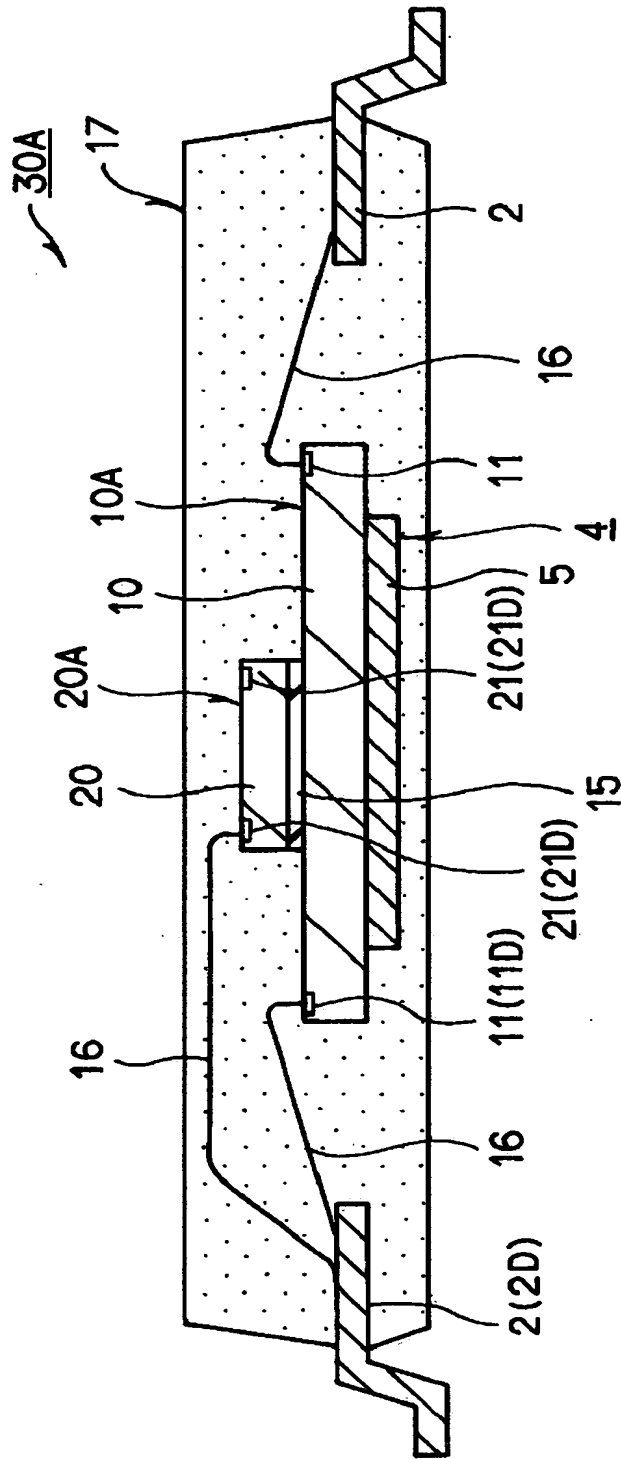
iFlash型



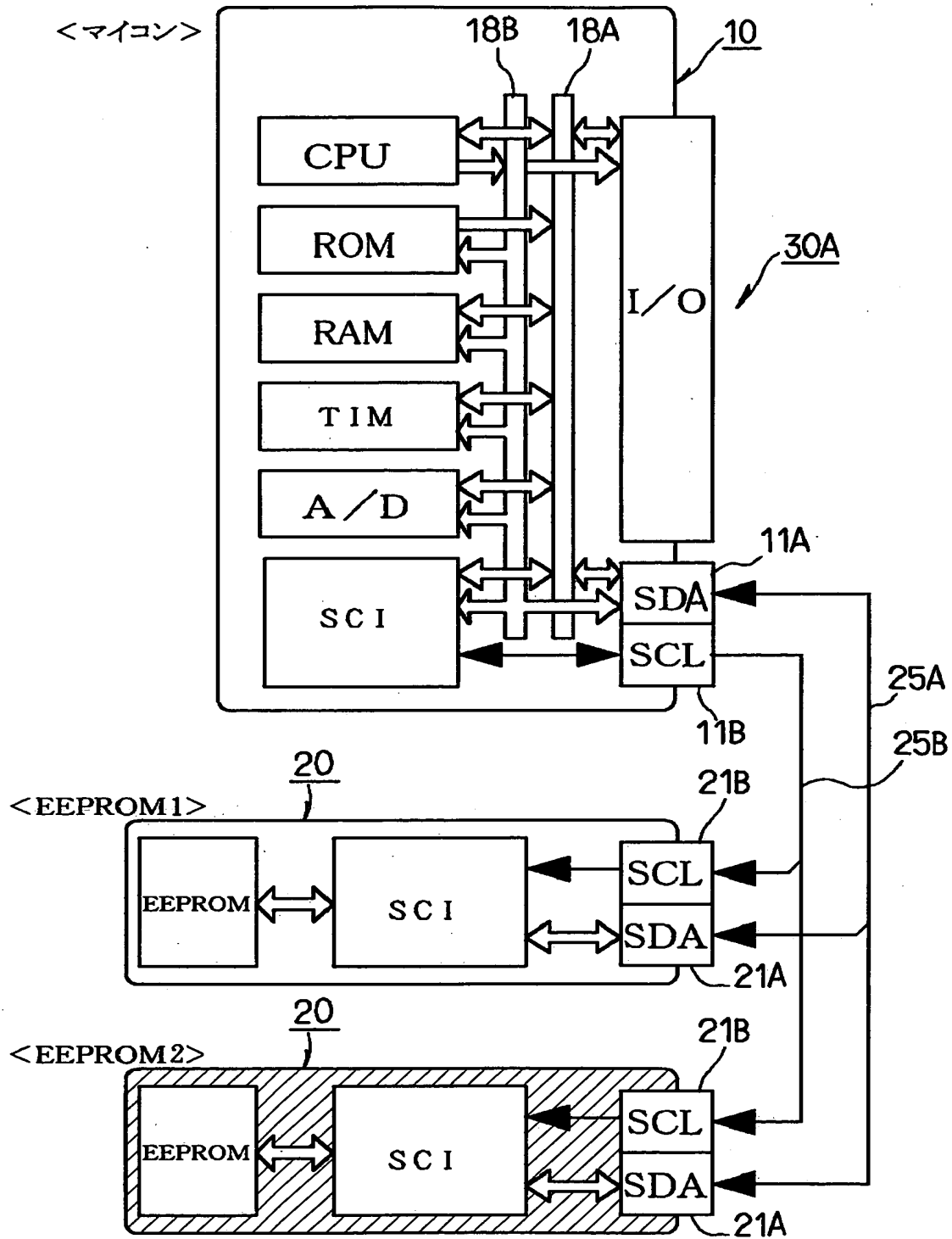
【図14】



【図 15】



【図16】



【書類名】 要約書

【要約】

【課題】 使い勝手をよくし、信頼性を確保しつつ柔軟なデバイスアドレスの設定が可能にされた半導体装置と情報処理システムを提供する。

【解決手段】 シリアルバスに適合した入出力インターフェイス回路を介して入出力される信号に対応した回路動作を行う内部回路を持つ半導体装置に、識別情報を格納させる不揮発性記憶回路を設け、かかる不揮発性記憶回路に格納された内部識別情報と、上記シリアルバスを介して供給される入力信号に含まれる外部識別情報とを比較回路により比較し、その一致検出信号により上記シリアルバスを介して引き続き供給される入力信号に応答する回路動作を行う制御回路により上記不揮発性記憶回路の内部情報の変更も含ませる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233594]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	北海道亀田郡七飯町字中島145番地
氏 名	日立北海セミコンダクタ株式会社